

**SEMICONDUCTOR DEVICE AND MANUFACTURE OF SEMICONDUCTOR
DEVICE**

Patent Number: JP8279553
Publication date: 1996-10-22
Inventor(s): FUJIWARA HIDEAKI
Applicant(s): SANYO ELECTRIC CO LTD
Requested Patent: JP8279553
Application Number: JP19950080463 19950405
Priority Number(s):
IPC Classification: H01L21/76; H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent the generation of an increase in a contact resistance between source and drain regions and source and drain electrodes, an increase in the electric resistance of the source and drain regions and an increase in the junction capacitance of the source and drain regions after an element isolation region is made small and to flatten the surface of a device.

CONSTITUTION: An element isolation is performed using together trenches 2 and an insulating film 3a. The width of the trenches 2 is held constant on a substrate 1. The sidewalls of the film 3a are used as contact holes 10 as they are. An ion-implantation is performed in the substrate 1 via the holes 10 and N⁻ regions 9 are formed. N⁺ high-concentration regions 12 are formed of a polysilicon film formed in the holes 10. Source and drain regions 13 are respectively formed of the N⁻ low-concentration regions 9 in the substrate 1 and the N⁺ regions 12. The polysilicon film is etched back to as to leave the polysilicon film only in the holes 10 to form the N⁺ regions 12.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-279553

(43) 公開日 平成8年(1996)10月22日

(51) Int. Cl.⁶

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 21/76
29/78

H 0 1 L 21/76
29/78

L
3 0 1 R

審査請求 未請求 請求項の数18 O L (全 13 頁)

(21) 出願番号 特願平7-80463

(71) 出願人 000001889

三洋電機株式会社

(22) 出願日 平成7年(1995)4月5日

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 藤原 英明

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

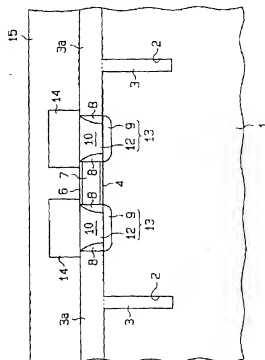
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【目的】素子分離領域を小さくした上で、ソース・ドレイン領域とソース・ドレイン電極とのコンタクト抵抗の増大、ソース・ドレイン領域の電気抵抗の増大、ソース・ドレイン領域の接合容量の増大を回避し、デバイス表面の平坦化を図る。

【構成】素子分離をトレンチ2と絶縁膜3aとを併用して行う。トレンチ2の幅は基板1上で一定とする。絶縁膜3a側壁をそのままコンタクトホール10として使用する。コンタクトホール10を介して基板1にイオン注入を行い、n⁺領域9を形成する。コンタクトホール10内に形成したポリシリコン膜で高濃度のn⁺領域12を形成する。基板1内の低濃度のn⁺領域9とn⁺領域12とでソース・ドレイン領域13を形成する。コンタクトホール10内のポリシリコン膜だけを残すように当該ポリシリコン膜をエッチバックしてn⁺領域12を形成する。



1

【特許請求の範囲】

【請求項1】 基板上に形成されたトレンチと、基板表面に形成された絶縁膜とで素子分離領域が形成された半導体装置。

【請求項2】 基板上に形成されたトレンチと、基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能する半導体装置。

【請求項3】 基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定である半導体装置。

【請求項4】 基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定で、各トレンチの幅は基板上において最も幅の狭い素子分離領域の幅と同じである半導体装置。

【請求項5】 基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜の側壁は基板上に形成された素子と配線とのコンタクトホール側の側壁として使用されることで素子と配線との層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定で、各トレンチの幅は基板上において最も幅の狭い素子分離領域の幅と同じである半導体装置。

【請求項6】 基板表面に形成された絶縁膜によって素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能する半導体装置。

【請求項7】 基板上に形成された絶縁膜によって素子分離領域が形成され、その絶縁膜の側壁は基板上に形成された素子と配線とのコンタクトホール側の側壁として使用されることで素子と配線との層間絶縁膜としても機能する半導体装置。

【請求項8】 基板上の素子分離領域内にトレンチを形成する工程と、

基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターンニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えた半導体装置の製造方法。

【請求項9】 基板上にトレンチを形成する工程と、トレンチの内部を含む基板の表面に絶縁物を堆積することで、トレンチの内部に絶縁物を充填して埋め込むと共に基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターンニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えた半導体装置の製造方法。

2

【請求項10】 基板上にトレンチを形成する工程と、トレンチの内部に絶縁物を充填して埋め込む工程と、基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターンニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えた半導体装置の製造方法。

【請求項11】 基板上にトレンチを形成する工程と、トレンチの内壁を酸化させてシリコン酸化膜を形成した後に、トレンチの内部に埋め込み材を充填して埋め込む工程と、

基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターンニングすることで、素子分離領域を絶縁膜で覆う工程とを備えた半導体装置の製造方法。

【請求項12】 請求項8～11のいずれか1項に記載の半導体装置の製造方法において、トレンチの内部にSOGを埋め込む半導体装置の製造方法。

【請求項13】 請求項8～11のいずれか1項に記載の半導体装置の製造方法において、

トレンチの内部にSOGを埋め込み、熱処理、プラズマ処理、イオン注入処理からなるグループから選択された少なくとも一つの処理を当該SOGに施す工程を備えた半導体装置の製造方法。

【請求項14】 請求項8～11のいずれか1項に記載の半導体装置の製造方法において、

素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物からなるサイドウォールスペーサを形成することで、絶縁膜とゲート電極とサイドウォールスペーサとで囲まれた凹部からなるコンタクトホールを形成する工程と、

コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、

コンタクトホールの内部に導電性膜を充填して埋め込み、その導電性膜と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えた半導体装置の製造方法。

【請求項15】 請求項8～11のいずれか1項に記載の半導体装置の製造方法において、

素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物からなるサイドウォールスペーサを形成することで、絶縁膜とゲート電極とサイドウォールスペーサとで囲まれた凹部からなるコンタクトホールを形成する工程と、

コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、

上記の工程で形成されたデバイスの全面に低濃度の不純物領域と同じ導電型のドーパドポリシリコン膜を堆積することで、コンタクトホールの内部にポリシリコン膜を充填して埋め込み、そのポリシリコン膜からなる高濃度

3

の不純物領域を形成し、その高濃度の不純物領域と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えた半導体装置の製造方法。

【請求項16】 請求項8～13のいずれか1項に記載の半導体装置の製造方法において、

素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物からなるサイドウォールスペーサを形成することで、絶縁膜とゲート電極とサイドウォールスペーサとで囲まれた凹部からなるコンタクトホールを形成する工程と、

コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、

上記の工程で形成されたデバイスの全面にノドープのポリシリコン膜を堆積することで、コンタクトホールの内部にポリシリコン膜を充填して埋め込む工程と、

ポリシリコン膜に低濃度の不純物領域と同じ導電型の不純物をイオン注入することで高濃度の不純物領域を形成し、その高濃度の不純物領域と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えた半導体装置の製造方法。

【請求項17】 請求項14～16のいずれか1項に記載の半導体装置の製造方法において、

コンタクトホールの内部の導電性膜またはポリシリコン膜だけを残すように当該膜をエッチバックすることで、上記の工程で形成されたデバイスの表面を平坦化する工程を備えた半導体装置の製造方法。

【請求項18】 請求項15または請求項16に記載の半導体装置の製造方法において、

ポリシリコン膜をシリサイド化し、そのシリサイド化されたポリシリコン膜をパターニングすることで配線層を形成する工程とを備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置および半導体装置の製造方法に係り、詳しくは、半導体素子分離技術およびMOSトランジスタとその製造方法に関するものである。

【0002】

【従来の技術】 半導体集積回路において、個々の素子は互いに独立して動作させる場合が多いため、半導体基板上の各素子が電気的に相互作用を及ぼし合わないよう、に、各素子間を電気的に分離する必要がある。この半導体素子分離技術には種々のものがあるが、一般に、絶縁物または逆バイアスが印加されたpn接合領域で素子の周囲を囲む方法が広く用いられている。

【0003】 pn接合領域で素子の周囲を囲む方法は、素子分離領域に素子形成領域と逆導電型の不純物をドーピングすることで実現できる。従って、製造工程が簡単なため、特にバイポーラトランジスタの素子分離に広く用いられているが、基板上における素子分離領域の面積を

4

小さくできないため、高集積化が困難であるという欠点をもつ。

【0004】 絶縁物で素子の周囲を囲む方法には、LOCOS(Local Oxidation of Silicon)法とトレンチ法がある。LOCOS法は製造工程が簡単なため、特にMOS(Metal Oxide Semiconductor)トランジスタの素子分離に広く用いられているが、分離酸化膜の両端部にパースピークが生じるため素子形成領域の寸法が狂うという欠点がある。そこで、パースピークの発生を抑制したり、発生したパースピークを除去するように改良されたLOCOS法が種々提案されており、デザインルールが0.5μm程度までは有効な技術であるといえる。しかし、半導体集積回路のさらなる高集積化が要求されている現在では、その素子分離能力に限界が見えはじめて

いる。

【0005】 トレンチ法には、①素子の周囲に溝(トレンチ)を形成し、そのトレンチ内部を絶縁性の埋め込み材で埋め込む方法と、②素子の周囲にトレンチを形成し、そのトレンチ内壁を酸化させてシリコン酸化膜を形成した後に、トレンチ内部を埋め込み材で埋め込む方法とがある。①の方法では、一般に、埋め込み材としてCVD(Cheical Vapor Deposition)法で形成された酸化シリコンが用いられる。②の方法では、一般に、埋め込み材としてCVD法で形成されたポリシリコンが用いられる。トレンチ法は、LOCOS法に比べて素子分離領域の面積を大幅に縮小化できるため、高集積化に有利であるという特徴をもつ。また、トレンチを深く形成することにより、基板の深い領域まで確実に素子分離を行うことができる。そのため、埋め込みコグクテ層をもつバイポーラトランジスタの素子分離には特に有効で、素子分離領域をLOCOS法の20%程度まで縮小できる。

【0006】

【発明が解決しようとする課題】 半導体メモリのメモリセル領域などのパターンの単調性が低い半導体集積回路では、各素子分離領域の幅が一定になる。しかし、ロジックなどのパターンの単調性が低い半導体集積回路では、各素子分離領域の幅がそれぞれ異なる場合がある。ところで、トレンチの形成には主にRIE(Reactive Ion Etching)法が用いられるが、幅の広いトレンチのエッチングレートは幅の狭いトレンチのそれよりも大きくなる。

【0007】 従って、トレンチ法では、複数の素子分離領域の幅がそれぞれ異なる場合、同一工程で全てのトレンチを形成するとすると、幅の広い素子分離領域のトレンチは深くなり、幅の狭い素子分離領域のトレンチは浅くなる。つまり、各トレンチの深さは、素子分離領域の幅に対応してそれぞれ異なったものになる。

【0008】 その結果、幅が広く深いトレンチでは、トレンチ内壁を酸化する際に基板にかかる応力ストレス

や、トレンチ内部の埋め込み材と基板との熱膨張係数の差によって生じる応力ストレスなどにより、基板内に結晶欠陥が発生しやすくなる。そのような結晶欠陥は素子に悪影響を与え、半導体集積回路の特性劣化につながる。

【0009】また、近年、MOSトランジスタにおいては、微細化に伴って以下の問題が顕在化している。

①ソース・ドレイン領域とソース・ドレイン電極とを接続するコンタクトホールは位置ずれによるコンタクト抵抗の増大

MOSトランジスタの製造工程では、ソース・ドレイン領域上に形成された層間絶縁膜にコンタクトホールを形成した後にソース・ドレイン電極を形成することで、コンタクトホールを介してソース・ドレイン領域とソース・ドレイン電極とのコンタクトが図られる。その際、コンタクトホールの形成にはレジストパターンをエッチング用マスクとするエッチングが用いられるため、レジストパターンを作成するためのフォトリソグラフィ工程におけるマスクずれが不可避である。そのマスクずれにより、コンタクトホールの位置がソース・ドレイン領域から多少ずれる結果、ソース・ドレイン領域とソース・ドレイン電極との確実なコンタクトが阻害され、コンタクト抵抗の増大を招く恐れがある。

【0010】②ソース・ドレイン領域の接合容量および電気抵抗の増大

MOSトランジスタにおいては、微細化に伴って短チャネル効果の抑制がますます重要になっている。短チャネル効果が生じると、閾値電圧が低下して所望の値が得られなくなる上に、消費電力も増大する。さらに、短チャネル効果が激しくなると、パンチスルーを起こしてMOSトランジスタとして動作しなくなってしまう。短チャネル効果を抑制するには、ソース・ドレイン領域の接合を基板の表面近隣の浅い部分に形成すればよい（すなわち、ソース・ドレイン領域の接合を浅くすればよい）。

【0011】また、ソース・ドレイン領域とソース・ドレイン電極とのコンタクト抵抗を低減するためには、ソース・ドレイン領域においてソース・ドレイン電極と接する部分（すなわち、基板の表面近隣の部分）の不純物濃度を高くすることで、その部分の電気抵抗を低くする必要があります。

【0012】しかし、基板に対する不純物の固溶度には限界があるため、ソース・ドレイン領域の接合を浅くした場合、ソース・ドレイン領域の不純物濃度を高くしても、ソース・ドレイン領域の拡散層の電気抵抗が増大することがある。

【0013】さらに、ソース・ドレイン領域の不純物濃度を高くすると、ソース・ドレイン領域の接合容量が増大する。そして、基板の不純物濃度を高くした場合にも、ソース・ドレイン領域の接合容量は増大する。ところで、高集積化を実現するには、パンチスルーを防止す

るため、基板の不純物濃度を高く設定しておく必要がある。従って、微細化に伴い、ソース・ドレイン領域の接合容量はますます増大することになる。

【0014】このような問題（ソース・ドレイン領域とソース・ドレイン電極とのコンタクト抵抗の増大、ソース・ドレイン領域の電気抵抗の増大、ソース・ドレイン領域の接合容量の増大）はMOSトランジスタの応答速度を低下させ、半導体集積回路の特性劣化につながる。

【0015】③デバイス表面の平坦化

半導体集積回路において配線の断線を防ぐためには、配線の下層（すなわち、デバイス表面）の段差を低減する必要がある。また、フォトリソグラフィ工程において、微細なレジストパターンを形成するためには、レジストパターンの下層（すなわち、デバイス表面）の凹凸をステップの焦点深度以内に抑える必要がある。そこで、デバイス表面に平坦な層間絶縁膜を形成する方法、全面エッチバック法、化学的機械研磨法、パイアスバック法などを用いる平坦化技術が種々提案されている。しかし、従来の平坦化技術では、平坦化のための特別な工程を設けなければならないため、製造工程が複雑化するという欠点がある。

【0016】本発明は上記問題を解決するためになされたものであって、以下の目的を有するものである。

1) 素子分離領域の面積を低減することが可能な半導体装置およびその製造方法を提供する。

【0017】2) デバイス表面の平坦性に優れた半導体装置およびその製造方法を提供する。

3) 応答特性に優れたMOSトランジスタを提供する。

【0018】

【課題を解決するための手段】請求項1に記載の発明は、基板上に形成されたトレンチと、基板表面に形成された絶縁膜とで素子分離領域が形成されたことをその要旨とする。

【0019】請求項2に記載の発明は、基板上に形成されたトレンチと、基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能することをその要旨とする。

【0020】請求項3に記載の発明は、基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定であることをその要旨とする。

【0021】請求項4に記載の発明は、基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定で、各トレンチの幅は基板上において最も幅の狭い素子分離領域の幅と同じであることをその要

旨とする。

【0022】請求項5に記載の発明は、基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜の側壁は基板上に形成された素子と配線とのコンタクトホール

の側壁として使用されることで素子と配線との層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定で、各トレンチの幅は基板上において最も幅の狭い素子分離領域の幅と同じであることをその要旨とする。

【0023】請求項6に記載の発明は、基板表面に形成された絶縁膜によって素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能することをその要旨とする。請求項7に記載の発明は、基板上に形成された絶縁膜によって素子分離領域が形成され、その絶縁膜の側壁は基板上に形成された素子と配線とのコンタクトホールの側壁として使用されることで素子と配線との層間絶縁膜としても機能することをその要旨とする。

【0024】請求項8に記載の発明は、基板上の素子分離領域内にトレンチを形成する工程と、基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えたことをその要旨とする。

【0025】請求項9に記載の発明は、基板上にトレンチを形成する工程と、トレンチの内部を含む基板の表面に絶縁物を堆積することで、トレンチの内部に絶縁物を充填して埋め込むと共に基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えたことをその要旨とする。

【0026】請求項10に記載の発明は、基板上にトレンチを形成する工程と、トレンチの内部に絶縁物を充填して埋め込む工程と、基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えたことをその要旨とする。

【0027】請求項11に記載の発明は、基板上にトレンチを形成する工程と、トレンチの内壁を酸化させてシリコン酸化膜を形成した後に、トレンチの内部に埋め込む材料を充填して埋め込む工程と、基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、素子分離領域を絶縁膜で覆う工程とを備えたことをその要旨とする。

【0028】請求項12に記載の発明は、請求項8～11のいずれか1項に記載の半導体装置の製造方法において、トレンチの内部にSiO₂を埋め込むことをその要旨とする。

【0029】請求項13に記載の発明は、請求項8～11

1のいずれか1項に記載の半導体装置の製造方法において、トレンチの内部にSiO₂を埋め込み、熱処理、プラズマ処理、イオン注入処理からなるグループから選択された少なくとも一つの処理を当該SiO₂に施す工程を備えたことをその要旨とする。

【0030】請求項14に記載の発明は、請求項8～13のいずれか1項に記載の半導体装置の製造方法において、素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物からなるサイドウォールスペーサを形成することで、絶縁膜とゲート電極とサイドウォールスペーサとで囲まれた凹部からなるコンタクトホールを形成する工程と、コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、コンタクトホールの内部に導電性膜を充填して埋め込み、その導電性膜と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えたことをその要旨とする。

【0031】請求項15に記載の発明は、請求項8～13のいずれか1項に記載の半導体装置の製造方法において、素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物からなるサイドウォールスペーサを形成することで、絶縁膜とゲート電極とサイドウォールスペーサとで囲まれた凹部からなるコンタクトホールを形成する工程と、コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、上記の工程で形成されたデパイスの全面に低濃度の不純物領域と同じ導電型のドーパドポリシリコン膜を堆積することで、コンタクトホールの内部にポリシリコン膜を充填して埋め込み、そのポリシリコン膜からなる高濃度の不純物領域を形成し、その高濃度の不純物領域と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えたことをその要旨とする。

【0032】請求項16に記載の発明は、請求項8～13のいずれか1項に記載の半導体装置の製造方法において、素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物からなるサイドウォールスペーサを形成することで、絶縁膜とゲート電極とサイドウォールスペーサとで囲まれた凹部からなるコンタクトホールを形成する工程と、コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、上記の工程で形成されたデパイスの全面にノンドーパのポリシリコン膜を堆積することで、コンタクトホールの内部にポリシリコン膜を充填して埋め込む工程と、ポリシリコン膜に低濃度の不純物領域と同じ導電型の不純物をイオン注入することで高濃度の不純物領域を形成し、その高濃度の不純物領域と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えたことをその要旨とする。

【0033】請求項17に記載の発明は、請求項14～

16のいずれか1項に記載の半導体装置の製造方法においては、コンタクトホール内部の導電性膜またはポリシリコン膜だけを残すように当該膜をエッチバックすることで、上記の工程で形成されたデバイスの表面を平坦化する工程を備えたことをその要旨とする。

【0034】請求項18に記載の発明は、請求項15または請求項16に記載の半導体装置の製造方法において、ポリシリコン膜をシリサイド化し、そのシリサイド化されたポリシリコン膜をパターニングすることで配線層を形成する工程とを備えたことをその要旨とする。

【0035】

【作用】請求項1～5のいずれか1項に記載の発明によれば、トレンチと絶縁膜とを併用して素子分離が行われる。従って、トレンチ法と同様に、素子分離領域の面積を縮小できる。

【0036】請求項2～5のいずれか1項に記載の発明によれば、絶縁膜が層間絶縁膜としても機能するため、層間絶縁膜を形成する工程およびその層間絶縁膜コンタクトホールを形成する工程を省くことができる。

【0037】請求項3～5のいずれか1項に記載の発明によれば、トレンチの幅および深さが一定であるため、大きなトレンチによって基板に応力ストレスがかかるのを防止することができる。

【0038】請求項4または請求項5に記載の発明によれば、各トレンチの幅は基板上において最も幅の狭い素子分離領域の幅と同じであり、素子分離領域の幅は絶縁膜によって規定される。

【0039】請求項6または請求項7に記載の発明によれば、素子分離用の絶縁膜が層間絶縁膜としても機能するため、層間絶縁膜を形成する工程およびその層間絶縁膜にコンタクトホールを形成する工程を省くことができる。

【0040】請求項8～11のいずれか1項に記載の発明によれば、トレンチと絶縁膜とを併用して素子分離が行われる。請求項9に記載の発明によれば、トレンチの内部に絶縁物を充填して埋め込む工程と、基板上に絶縁膜を形成する工程とを連続して行うことができる。

【0041】請求項10に記載の発明によれば、トレンチの内部に埋め込む絶縁物と基板上の絶縁膜とを別の材質にすることができる。請求項11に記載の発明によれば、トレンチの埋め込み材として導電性膜を用いることができる。

【0042】請求項12に記載の発明によれば、平坦性に優れたSOGを用いることで、トレンチを確実に埋め込むことができる。請求項13に記載の発明によれば、前記処理をSOGに施すことで、SOGの欠点を克服することができる。

【0043】請求項14～16のいずれか1項に記載の発明によれば、低濃度の不純物領域の不純物濃度を低くすることで、ソース・ドレイン領域の接合容量の増大を

回避することができる。また、導電性膜の電気抵抗を低くすることで（導電性膜にポリシリコン膜を用いる場合は、その不純物濃度を高くして電気抵抗を低くすることで）、低濃度の不純物領域と導電性膜とのコンタクト抵抗を低減すると共に、ソース・ドレイン領域の電気抵抗を低減することができる。また、高濃度の不純物領域の不純物濃度を高くしてその電気抵抗を低くすることで、低濃度の不純物領域と高濃度の不純物領域とのコンタクト抵抗を低減すると共に、ソース・ドレイン領域の電気抵抗を低減することができる。従って、応答速度の速いMOSトランジスタを得ることができる。

【0044】請求項15または請求項16に記載の発明によれば、平坦性に優れたポリシリコン膜を用いることで、コンタクトホールを確実に埋め込むことができる。請求項15に記載の発明によれば、ドーパドポリシリコン膜を用いることで、高濃度の不純物領域を簡単に形成することができる。

【0045】請求項16に記載の発明によれば、イオン注入を用いることで高濃度の不純物領域の不純物濃度を簡単にかつ確実に制御することができる。請求項17に記載の発明によれば、平坦化のための特別の工程を用いることなく、デバイスの表面を平坦化することができる。

【0046】請求項18に記載の発明によれば、高濃度の不純物領域の不純物濃度を高くすることで、ソース領域またはドレイン領域と配線層とのオミックコンタクトをとることができる。また、層間絶縁膜を形成する工程およびその層間絶縁膜にコンタクトホールを形成する工程を省くことができる。さらに、配線層を簡単に形成することができる。

【0047】

【実施例】以下、本発明をnチャネルMOSトランジスタおよびその素子分離に具体化した一実施例を図面に従って説明する。図1～図6は、本実施例の製造方法を示す略断断面図である。

【0048】工程1（図1（a）参照）；RIE法を用い、p型半導体シリコン基板1上の素子分離領域αにトレンチ2を形成する。次に、トレンチ2の内部を含む基板1の表面に絶縁物3を堆積させ、トレンチ2の内部に絶縁物3を充填して埋め込むと共に、基板1上に絶縁物3による膜（以下、絶縁膜3aという）を形成する。ここで、絶縁物3としてはトレンチ2の内部を完全に充填できるような絶縁材料であれば何を用いてもよく、具体的には、酸化シリコン、窒化シリコン、シリケートガラス、SOGなどがあげられる。続いて、熱処理を施し、基板1中の結晶欠陥の回復や応力ストレスの緩和を図る。そして、基板1上の素子形成領域βが露出するように絶縁膜3aをパターニングすることで、素子分離領域αを絶縁膜3aで覆う。

【0049】ここで、図6に示すように、各素子分離領域α1～α3の幅がそれぞれ異なる場合でも、各素子分

11

離領域 $\alpha 1 \sim \alpha 3$ に形成される各トレンチ2 $\alpha \sim 2c$ の幅Wおよび深さHは全て同じにする。また、トレンチ2の幅Wは、基板1上において最も幅の狭い素子分離領域 α (図6では、素子分離領域 $\alpha 3$)の幅と同じにする。

【0050】尚、トレンチ2の形成される位置は素子分離領域 α 内であればどこであってもよい。

工程2 (図1 (b) 参照)；素子分離領域 β 上にゲート絶縁膜4を形成する。次に、ゲート絶縁膜4上に導電材料からなる膜5を堆積し、その上に絶縁膜6を形成する。ここで、各膜4~6を合わせた膜厚は、絶縁膜3 α の膜厚と同じにする。

【0051】工程3 (図2参照)；各膜4~6をパターンニングすることで、膜5からなるゲート電極7を形成する。そして、デバイスの全面に絶縁物を堆積し、全面エッチバック法を用いて当該絶縁物をエッチバックすることで、絶縁膜3 α およびゲート電極7の側壁に絶縁物からなるサイドウォールスペア8を形成する。続いて、絶縁膜3 α 、6およびサイドウォールスペア8をイオン注入用マスクとして基板1にリチウムイオン注入 (注入電圧：50 keV、注入濃度： $1 \times 10^{13} \text{ cm}^{-2}$) することで、低濃度の n^+ 領域9を形成する。ここで、イオン注入の条件は、 n^+ 領域9の不純物濃度が $1 \times 10^{17} \sim 10^{18} \text{ cm}^{-3}$ になるように設定する。

【0052】尚、絶縁膜3 α 、ゲート電極7、サイドウォールスペア8によって囲まれた凹部が、 n^+ 領域9と後記するソース・ドレイン電極とを接続するコンタクトホール10となる。従って、工程1では、コンタクトホール10の位置および寸法を勘案した上で、絶縁膜3 α をパターンニングする必要がある。すなわち、絶縁膜3 α をパターンニングする際には、絶縁膜3 α の側壁部がそのままコンタクトホール10として使用できるようにパターンニングの寸法形状を設定する。

【0053】工程4 (図3参照)；CVD法を用い、デバイスの全面にノンドープのポリシリコン膜11を形成し、コンタクトホール10の内部にポリシリコン膜11を充填して埋め込む。次に、ポリシリコン膜11にヒ素をイオン注入 (注入電圧：50 keV、注入濃度： $1 \times 10^{15} \text{ cm}^{-2}$) する。続いて、窒素雰囲気中で熱処理 (処理温度：900℃、処理時間：30分) を行うことで、 n^+ 領域9中のリンイオンを活性化させると共に、ポリシリコン膜11中のヒ素イオンを活性化させる。

【0054】このとき、ポリシリコン膜11から n^+ 領域9へのヒ素イオンの拡散は、以下の条件を共に満足させるように制御する必要がある。

(1) ポリシリコン膜11と n^+ 領域9とのコンタクト抵抗を十分に低減させる。

【0055】(2) n^+ 領域9の接合容量を増大させない。すなわち、ポリシリコン膜11から n^+ 領域9へのヒ素イオンの拡散が少ない場合、 n^+ 領域9の接合容量が増大することは、ポリシリコン膜11と n^+

12

領域9とのコンタクト抵抗は増大してしまう。また、ポリシリコン膜11から n^+ 領域9へのヒ素イオンの拡散が多すぎる場合、ポリシリコン膜11と n^+ 領域9とのコンタクト抵抗は低減できるが、 n^+ 領域9の接合容量が増大してしまう。

【0056】上記(1)、(2)の条件を共に満足させるには、ポリシリコン膜11の膜厚およびヒ素のイオン注入条件を適宜に設定すればよい。本出願人は、単結晶シリコン基板上に形成されたポリシリコン膜にイオン注入を行う際に、ポリシリコン膜の膜厚およびイオン注入ドーズ量を制御すれば、基板へのイオンの拡散を容易に制御可能であることを発表している (Fullwara et al: "Diffusion of Phosphorus in Poly/Single Crystalline" IEICE TRANS. ELECTRON., Vol. E75-C, No. 9 September 1992, pp995-999 参照)。従って、ポリシリコン膜11の膜厚およびヒ素のイオン注入ドーズ量を制御することで、 n^+ 領域9へのヒ素イオンの拡散を容易に制御できる。

【0057】工程5 (図4参照)；全面エッチバック法を用いてポリシリコン膜11をエッチバックすることで、コンタクトホール10内のポリシリコン膜11だけを残す。ここで、前記したように、各膜4~6を合わせた膜厚は絶縁膜3 α の膜厚と同じであるため、コンタクトホール10内のポリシリコン膜11だけを残すようにポリシリコン膜11をエッチバックすれば、デバイス表面を平坦化できる。その結果、コンタクトホール10内に残ったポリシリコン膜11から高濃度の n^+ 領域12が形成される。そして、 n^+ 領域12と n^+ 領域9とでソースドレイン領域13が形成される。また、 n^+ 領域12はソース・ドレイン電極としても機能する。

【0058】工程6 (図5参照)；デバイスの全面に金属層を形成し、その金属層をパターンニングして n^+ 領域 (ソース・ドレイン電極) 12上に配線層14を形成する。ここで、 n^+ 領域12の不純物濃度が十分に高ければ、 n^+ 領域12と配線層14とがオーミックコンタクトをとることができる。従って、工程4におけるポリシリコン膜11へのヒ素のイオン注入条件は、 n^+ 領域12と配線層14とがオーミックコンタクトをとることができるように設定しておく必要がある。次に、デバイスの全面にパッシベーション膜15を形成し、本実施例の製造工程が完了する。

【0059】このように、本実施例においては、各素子分離領域 α の幅がそれぞれ異なる場合でも、各トレンチ2の幅および深さは、基板1上で全て同じにする。また、トレンチ2の幅は、基板1上において最も幅の狭い素子分離領域 α の幅と同じにする。そして、素子分離領域 α 上に絶縁膜3 α を形成する。すなわち、本実施例における素子分離は、トレンチ2と絶縁膜3 α とを併用して行われる。従って、本実施例によれば、従来のトレンチ法と同様に、LOCOS法に比べて素子分離領域の面積を大幅に縮小できる。また、素子分離領域 α の幅が広

13

い場合でもトレンチ2の幅は一定であるため、従来問題であった幅が広く深いトレンチにおける問題(トレンチ内部の埋め込み材と基板との熱膨張係数の差によって生じる応力ストレスなどにより、基板内に結晶欠陥が発生しやすくなる問題)を回避することができ。

【0060】また、本実施例においては、絶縁膜3aをパターンニングする際、絶縁膜3aの側壁部をそのままコンタクトホール10として使用できるようにする。すなわち、絶縁膜3aは素子分離絶縁膜としてだけでなく、n⁺領域9と配線層14との層間絶縁膜としても機能する。そして、コンタクトホール10を介して基板1上にリンをイオン注入することで、n⁺領域9を形成する。従って、本実施例によれば、従来必要であったコンタクトホールの製造工程(ソースドレイン領域上に層間絶縁膜を形成する工程、その層間絶縁膜にコンタクトホールを形成する工程)を省くことができる。また、コンタクトホール10を介して自己整合的にn⁺領域9を形成できるため、コンタクトホール10とn⁺領域9とが位置ずれを起こす恐れはない。従って、本実施例によれば、従来問題であったコンタクトホールの位置ずれに起因するコンタクト抵抗の増大を回避することができる。

【0061】さらに、本実施例においては、コンタクトホール10内に形成したポリシリコン膜11でn⁺領域12を形成し、n⁺領域12とn⁺領域9とでソース・ドレイン領域13を形成する。ここで、n⁺領域9の不純物濃度は $1 \times 10^{17} \sim 10^{18} \text{ cm}^{-3}$ に設定する。従って、本実施例によれば、ソース・ドレイン領域13の接合を狭くすることが可能になり、短チャネル効果を抑制することができる。また、不純物濃度の高いn⁺領域12は基板1内に形成されず、基板1内には不純物濃度の低いn⁺領域9だけが形成されるため、ソース・ドレイン領域13の接合容量を低減することができる。従って、高集積化を実現するために、基板1の不純物濃度を高く設定した場合でも、ソース・ドレイン領域13の接合容量の増大を回避することができる。また、n⁺領域12の不純物濃度を高くすることにより、n⁺領域12とn⁺領域9とのコンタクト抵抗を低減した上で、ソース・ドレイン領域13全体の低抵抗化を図ることができる。従って、本実施例によれば、従来の諸問題(ソース・ドレイン領域とソース・ドレイン電極とのコンタクト抵抗の増大、ソース・ドレイン領域の電気抵抗の増大、ソース・ドレイン領域の接合容量の増大)を回避することができ、応答特性に優れたMOSトランジスタを得ることができる。

【0062】加えて、n⁺領域12の不純物濃度を高くすることにより、配線層14とソース・ドレイン領域13とのオーミックコンタクトをとることができる。また、本実施例においては、各膜4～6を合わせた膜厚を絶縁膜3aの膜厚と同じに、コンタクトホール10内のポリシリコン膜11だけを残すようにポリシリコン膜

14

11をエッチバックしてn⁺領域12を形成する。その結果、n⁺領域12によってMOSトランジスタ上部のデバイス表面を平坦化できる。従って、本実施例によれば、特別な工程を設けることなくデバイス表面を平坦化することが可能になり、製造工程を簡略化できる。

【0063】ところで、絶縁物3として用いられる酸化シリコン、窒化シリコン、シリケートガラスは、CVD法によって形成すればよい。また、絶縁物3として用いられるSOG(Spin On Glass)は、平坦化技術における層間絶縁膜として広く使用されている。SOGとは、シリコン化合物を有機溶剤に溶解した溶液、および、その溶液から形成される二酸化シリコンを主成分とする膜の総称である。SOG膜を形成するには、まず、シリコン化合物を有機溶剤に溶解した溶液を基板1の上に滴下して基板1を回転させる。すると、当該溶液の被膜は、トレンチ2の内部を完全に充填すると共に、基板1の表面に平坦な膜を形成する。次に、熱処理が施されると、有機溶剤が蒸発すると共に重合反応が進行して、表面が平坦なSOG膜による絶縁膜3aが形成される。SOGの平坦化特性(埋め込み性)は優れているため、絶縁物3としてSOGを用いればトレンチ2が狭い場合でもその内部を確実に埋め込むことができる。

【0064】SOGには、一般式(1)で表されるように、シリコン化合物中に有機成分を含まない無機SOGと、一般式(2)で表されるように、シリコン化合物中に有機成分を含む有機SOGとがある。

【0065】 $[\text{SiO}_x]$ 、……(1)

$[\text{R}_1 \text{SiO}_x]$ 、……(2)
(n, X, Y: 整数; R: アルキル基またはアリール基)

無機SOGは、水分および水酸基を多量に含んでいる上に、CVD法によって形成された酸化シリコンに比べて脆弱であり、膜厚を0.5 μm 以上にすると熱処理時にクラックが発生し易いという欠点がある。

【0066】一方、有機SOGは、分子構造上、アルキル基またはアリール基で結合が閉じている部分があるため、熱処理時におけるクラックの発生が抑制され、膜厚を0.5～1 μm 程度にすることができる。従って、有機SOGを用いれば、膜厚の大きな絶縁膜3aを得ることができる。しかし、有機SOGには有機成分が含まれているため、素子形成領域 β を露出させる際のエッチングにおいて、四フッ化炭素と水素との混合ガス系(CF₄+H₂)を用いた場合、エッチングレートが遅くなる。そのため、有機SOGのエッチングでは、四フッ化炭素と酸素の混合ガス系を用いる必要がある。一般に、有機SOGのエッチングでは、エッチング用マスクとしてレジストパターンが用いられる。しかし、四フッ化炭素と酸素の混合ガス系をエッチングガスとして用いると、レジストパターンまでもエッチングされてしまう。その結果、レジストパターンでマスクされている有機S

15

OGまでもエッチングされてしまい、素子形成領域βの寸法が狂ってしまう。

【0067】また、エッチングマスクとして用いるフォトレジストを除去する際のアッシング処理時に、有機SOGに含まれる有機成分が分解するため有機SOGが収縮する。トレンチ2に埋め込んだ有機SOGが収縮すると基板1に応力ストレスがかかり、基板1内に結晶欠陥を生じやすくなる。

【0068】さらに、無機SOGに比べれば少ないものの、有機SOGにも水分および水酸基が含まれている。さらに、SOGの絶縁性および機械的強度は、CVD法によって形成された酸化シリコンに比べて低い。

【0069】SOGにおけるこれらの問題を回避するには、以下の方法がある。

[1] 800℃以上の高温の熱処理を施すことで、SOGをノンドープの安定なシリケートガラスとする。また、応力ストレスをさらに緩和させるためには、酸化シリコンが流動性をもちはじめ900～1000℃まで一旦加熱すればよい。尚、熱処理には、一般的な電気炉だけでなくRTA (Rapid Thermal Annealing) 装置を用いてもよい。

【0070】[2] 特開平1-307247号公報に開示されるように、有機SOG膜に酸プラズマ処理を施すことで、有機SOG膜中のC-Si結合をSi-O-Si結合に変化させ、有機SOG膜に含まれる有機成分を分解する。

【0071】[3] 有機SOG膜にイオン注入法を用いてフッ素をドーピングすることで、有機成分を分解すると共に、膜に含まれる水分および水酸基を減少させる (L.-J. Chen, S.-T. Hsia, J.-L. Leu, Proc. of IEEE VASIC, p.81 (1994). 参照)。

【0072】[4] 有機SOG膜にイオン注入法を用いてシリコンまたはリンをドーピングすることで、有機成分を分解する (N. Moriyasu, Y. Shacham-Diamond, R. Kalish, J. Electrochem. Soc., Vol.140, No.5, p.1442 (1993). 参照)。

【0073】[5] 有機SOG膜にアルゴン、窒素、酸化窒素などのプラズマ処理を施すことで、有機成分を分解する (C. K. Wang, L. M. Liu, H. C. Cheng, H. C. Huang, M. S. Lin, Proc. of IEEE VASIC, p.101 (1994), M. Matsura, Y. Ii, K. Shibata, Y. Hayashida, H. K. Otaai, Proc. of IEEE VASIC, p.113 (1993). 参照)。

【0074】[6] 有機SOG膜にイオン注入法を用いてフッ化シリコン、フッ化ボロン、アルゴン、ボロン、窒素をドーピングすることで、有機成分を分解する (水原他; 信学技報 SDMS4-145 (1994-11) 参照)。

【0075】尚、上記実施例は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1) トレンチ2の内壁を酸化させてシリコン酸化膜を

16

形成した後に、トレンチ2の内部に埋め込み材を充填して埋め込む。このとき、埋め込み材として絶縁物を用いた場合は、上記実施例と同様に、トレンチ2の内部の埋め込みと絶縁膜3aの形成とを同時に行う。

【0076】また、埋め込み材として導電材料 (例えば、ポリシリコン) を用いた場合は、トレンチ2の内部に埋め込み材を充填した後、基板1上に絶縁膜3aを形成形成する。この場合、CVD法で形成されたポリシリコンを用いれば、その優れた埋め込み性により、トレンチ2が深い場合でもその内部を確実に埋め込むことができる。

【0077】(2) トレンチ2の内部に埋め込む絶縁物の材質と、基板1上に形成する絶縁膜の材質とを異ならせる。

(3) トレンチ2をpn接合領域に置き換え、そのpn接合領域上に絶縁膜3aを形成する。この場合の素子分離はpn接合領域と絶縁膜3aとを併用して行われる。従って、絶縁膜3aに関する作用および効果については、上記実施例と同様になる。

【0078】(4) トレンチ2を省き、絶縁膜3aだけを設ける。この場合、トレンチ2に関する作用および効果を得ることはできなくなるが、絶縁膜3aに関する作用および効果については、上記実施例と同様になる。

【0079】(5) n⁺領域12の表面のラフネスを大きくする。この場合、配線層14とソース・ドレイン領域13との確実なオーミックコンタクトをとることができる。

【0080】(6) 配線層14を金属以外の適宜な導電材料 (例えば、ドーパドポリシリコン) で形成する。

(7) 工程4において、ポリシリコン膜11をシリサイド化し、そのシリサイド化されたポリシリコン膜11をパターニングすることで、配線層14を形成する。この場合、工程5におけるポリシリコン膜11のエッチバックと、工程6における配線層14の形成とを省くことができる。

【0081】(8) n⁺領域9の表面にバリア層を形成することで、上記(1)、(2)の条件を共に満足させる。すなわち、電気抵抗が十分に低いバリア層をn⁺領域9とポリシリコン膜11との界面に形成することで、上記

(1)の条件を満足させる。また、不純物の透過率が低いバリア層をn⁺領域9とポリシリコン膜11との界面に形成することで、ポリシリコン膜11からn⁺領域9へのヒ素イオンの拡散を抑制し、上記(2)の条件を満足させる。そのようなバリア層としては、窒化チタン、窒化チタン、タングステンなどがあげられる。

【0082】(9) ノンドープのポリシリコン膜11を形成後にヒ素をイオン注入してn⁺領域12を形成するのではなく、CVD法でポリシリコン膜11を形成する際にn型不純物を含んだガスを添加することでドーパドポリシリコン膜からなるn⁺領域12を形成する。この

17

場合は、ドーパドポリシリコン膜から n^+ 領域9への不純物の拡散を抑制して上記(2)の条件を満足させることが難しくなるため、上記(8)のようにバリア層を設けられ、

【0083】(10)ポリシリコン膜11を他の導電性材料(例えば、選択CVD法で形成されたタングステン)に置き代える。この場合、 n^+ 領域12を形成するためのイオン注入を省くことができる。

【0084】(11)工程3において、リンの代わりにヒ素またはアンチモンを基板1にイオン注入する。

(12)工程4において、ヒ素の代わりにリンまたはアンチモンをポリシリコン膜11にイオン注入する。

【0085】(13) n チャネルMOSトランジスタではなく p チャネルMOSトランジスタに適用する。すなわち、 p 型単結晶シリコン基板1を n 型単結晶シリコン基板または n ウェル層に置き代え、リンイオンおよびヒ素イオンをボロンイオンなどの p 型不純物イオンに置き代える。これにより、 n^+ 領域9は p^+ 領域に、 n^+ 領域12は p^+ 領域に置き代わり、 p^+ 領域と p^+ 領域とからなるソース・ドレイン領域が形成される。

【0086】(14)LDD構造のMOSトランジスタに適用する。

(15)ソース・ドレイン領域が基板1の表面に形成されている通常の構造のMOSトランジスタにおける素子分離に適用する。

【0087】(16)MOSトランジスタだけでなく、他の素子(バイポーラトランジスタ、コンデンサ、抵抗など)の素子分離に適用する。以上、各実施例について説明したが、各実施例から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

【0088】(イ)請求項8～11のいずれか1項に記載の半導体装置の製造方法において、トレンチの内部にSOGを埋め込み、800℃以上の高温の熱処理、酸素、アルゴン、窒素、酸化窒素などのプラズマ処理、フッ素、シリコン、リン、フッ化シリコン、フッ化ボロン、アルゴン、ボロン、窒素をイオン注入する処理からなるグループから選択された少なくとも一つの処理を当該SOGに施す工程を備えた半導体装置の製造方法。

【0089】このようにすれば、SOGの欠点を克服することができる。

(ロ)請求項14に記載の半導体装置の製造方法において、選択CVD法を用いてコンタクトホール内部にタングステンを充填して埋め込む半導体装置の製造方法。

【0090】このようにすれば、電気抵抗の低い導電性膜を簡単に得ることができる。

(ハ)請求項14～17のいずれか1項に記載の半導体装置の製造方法において、高濃度の不純物領域上に配線層を形成する工程を備えた半導体装置の製造方法。

【0091】このようにすれば、配線層の材質を適宜に選択することができる。

18

(ニ)上記(ハ)に記載の半導体装置の製造方法において、高濃度の不純物領域の表面のラフネスを制御する工程を備えた半導体装置の製造方法。

【0092】このようにすれば、ラフネスの大きさを制御することでソース領域またはドレイン領域と配線層との確実なオーミックコンタクトをとることができる。

(ホ)請求項15～上記(ニ)のいずれか1項に記載の半導体装置の製造方法において、低濃度の不純物領域上に、電気抵抗が低く且つ不純物の透過率が低いバリア層を形成する工程を備えた半導体装置の製造方法。

【0093】このようにすれば、高濃度の不純物領域から低濃度の不純物領域への不純物拡散がバリア層によって抑制されるため、ソース・ドレイン領域の接合容量の増大を回避することができる。また、バリア層の電気抵抗が低いソース領域またはドレイン領域と配線層との確実なオーミックコンタクトをとることができる。

【0094】ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

(a)基板とは、単結晶シリコン基板だけでなく、ウェル、ポリシリコン膜、アモルファスシリコン膜などをも含むものとする。

【0095】(b)配線層とは、金属配線だけでなく、ポリシリコン配線も含むものとする。

【0096】
[発明の効果]

1)素子分離領域の面積を低減することが可能な半導体装置およびその製造方法を提供することができる。

【0097】2)デバイス表面の平坦性に優れた半導体装置およびその製造方法を提供することができる。

3)応答特性に優れたMOSトランジスタを提供することができる。

[図面の簡単な説明]

【図1】一実施例の製造工程を説明するための概略断面図。

【図2】一実施例の製造工程を説明するための概略断面図。

【図3】一実施例の製造工程を説明するための概略断面図。

【図4】一実施例の製造工程を説明するための概略断面図。

【図5】一実施例の製造工程を説明するための概略断面図。

【図6】一実施例の製造工程を説明するための概略断面図。

[符号の説明]

1…単結晶シリコン基板

2…トレンチ

3…絶縁物

3a…絶縁膜

4…ゲート絶縁膜

(11)

特開平8-279553

7...ゲート電極

8...サイドウォールスペーサ

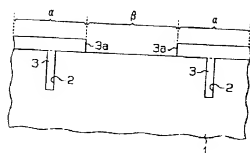
9...低濃度の不純物領域としてのn'領域

10...コンタクトホール

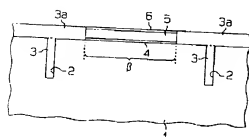
11...ポリシリコン膜

【図1】

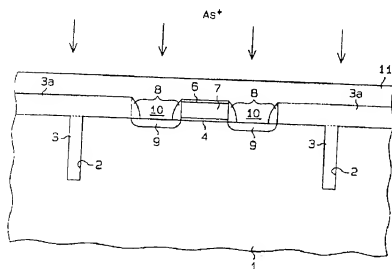
(a)



(b)



【図3】



20

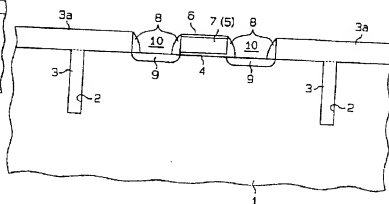
12...高濃度の不純物領域としてのn+領域

13...ソース・ドレイン領域

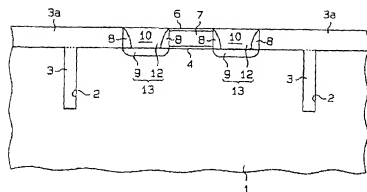
14...配線層

 α ...素子分離領域 β ...素子形成領域

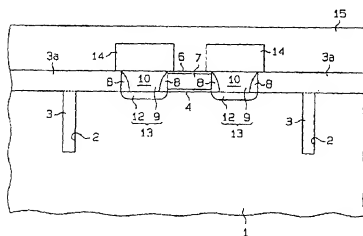
【図2】



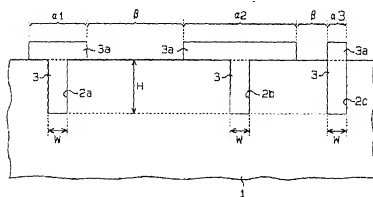
【図 4】



【図 5】



【図 6】



(13)

特開平8-279553

【手続補正審】

【提出日】平成8年2月20日

【手続補正1】

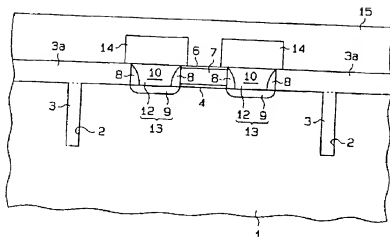
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】



Bibliographic Fields

Document Identity

(19)【発行国】

日本国特許庁 (JP)

(12)【公報種別】

公開特許公報 (A)

(11)【公開番号】

特開平8-279553

(43)【公開日】

平成8年(1996)10月22日

Public Availability

(43)【公開日】

平成8年(1996)10月22日

Technical

(54)【発明の名称】

半導体装置および半導体装置の製造方法

(51)【国際特許分類第6版】

H01L 21/76

29/78

【F1】

H01L 21/76 L

29/78 301 R

【請求項の数】

18

【出願形態】

OL

【全頁数】

13

Filing

【審査請求】

未請求

(21)【出願番号】

特願平7-80463

(22)【出願日】

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication Hei 8 - 279553

(43) [Publication Date of Unexamined Application]

1996 (1996) October 22 days

(43) [Publication Date of Unexamined Application]

1996 (1996) October 22 days

(54) [Title of Invention]

**MANUFACTURING METHOD OF SEMICONDUCTOR
DEVICE AND SEMICONDUCTOR DEVICE**

(51) [International Patent Classification, 6th Edition]

H01L 21/76

29/78

{F1}

H01L 21/76 L

29/78301 R

{Number of Claims}

18

{Form of Application}

OL

{Number of Pages in Document}

13

[Request for Examination]

Unrequested

(21) [Application Number]

Japan Patent Application Hei 7 - 80463

(22) [Application Date]

平成7年(1995)4月5日

1995 (1995) April 5 days

Parties**Applicants**

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

000001889

000001889

【氏名又は名称】

[Name]

三洋電機株式会社

SANYO ELECTRIC CO. LTD. (DB 69-053-7303)

【住所又は居所】

[Address]

大阪府守口市京阪本通2丁目5番5号

Osaka Prefecture Moriguchi City Keihan Hondori 2-5-5

Inventors

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

藤原 英明

Fujiwara sagacity

【住所又は居所】

[Address]

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Inside of Osaka Prefecture Moriguchi City Keihan Hondori 2-5-5 Sanyo Electric Co. Ltd. (DB 69-053-7303)

Agents

(74)【代理人】

(74) [Attorney(s) Representing All Applicants]

【弁理士】

[Patent Attorney]

【氏名又は名称】

[Name]

恩田 博宣

Onda Hironobu

Abstract

(57)【要約】

(57) [Abstract]

【目的】

[Objective]

素子分離領域を小さくした上で、ソース・ドレイン領域とソース・ドレイン電極とのコンタクト抵抗の増大、ソース・ドレイン領域の電気抵抗の増大、ソース・ドレイン領域の接合容量の増大を回避し、デバイス表面の平坦化を図る。

After making disassociated clement region small, increase of contact resistance of source * drain region and source * drain electrode, increase of electrical resistance of source * drain region and increase of theconnecting capacity of source * drain region are evaded, planarization of device surface isassured.

【構成】

[Constitution]

素子分離をトレンチ 2 と絶縁膜 3a とを併用して行う。

Jointly using trench 2 and insulating film 3a, it does clement separation.

トレンチ 2 の幅は基板 1 上で一定とする。

width of trench 2 makes fixed on substrate 1.

絶縁膜 3a 側壁をそのままコンタクトホール 10 として使用する。

You use insulating film 3aside wall that way as contact hole 10.

コンタクトホール 10 を介して基板 1 にイオン注入

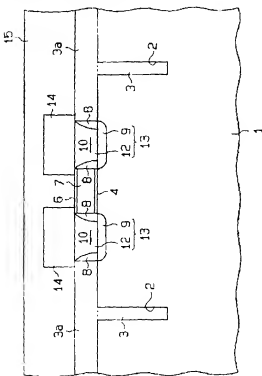
Through contact hole 10, ion implantation is done in substrate

を行い、 n' 領域 9 を形成する。

コンタクトホール 10 内に形成したポリシリコン膜で高濃度の n^+ 領域 12 を形成する。

基板 1 内の低濃度の n^+ 領域 9 と n^+ 領域 12 とでソース・ドレイン領域 13 を形成する。

コンタクトホール 10 内のポリシリコン膜だけを残すように当該ポリシリコン膜をエッチバックして n^+ 領域 12 を形成する。



Claims

【特許請求の範囲】

【請求項 1】

基板上に形成されたトレンチと、基板表面に形成された絶縁膜とで素子分離領域が形成された半導体装置。

【請求項 2】

基板上に形成されたトレンチと、基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能する半導体装置。

【請求項 3】

基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分

1, n^+ region 9 is formed.

n⁺ region 12 of high concentration is formed with polysilicon membrane which was formed inside contact hole 10.

With n^- region 9 and n^+ region 12 of low concentration inside substrate 1 source * drain region 13 is formed.

In order to leave just polysilicon membrane inside contact hole 10, etchback doing this said polysilicon membrane, it forms n^+ region 12.

[Claim(s)]

[Claim 1]

semiconductor device, where with trench which was formed on substrate and the insulating film which was formed to substrate surface disassociated element region was formed

[Claim 2]

semiconductor device, where with trench which was formed on substrate and the insulating film which was formed to substrate surface disassociated element region is formed, as for the insulating film as interlayer insulating film functions

[Claim 3]

With trench which was formed on substrate and trench is covered and insulating film which was formed to substrate

離領域が形成され、その絶縁膜は層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定である半導体装置。

【請求項 4】

基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定で、各トレンチの幅は基板上において最も幅の狭い素子分離領域の幅と同じである半導体装置。

【請求項 5】

基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜の側壁は基板上に形成された素子と配線とのコンタクトホールに側壁として使用されることで素子と配線との層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定で、各トレンチの幅は基板上において最も幅の狭い素子分離領域の幅と同じである半導体装置。

【請求項 6】

基板表面に形成された絶縁膜によって素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能する半導体装置。

【請求項 7】

基板上に形成された絶縁膜によって素子分離領域が形成され、その絶縁膜の側壁は基板上に形成された素子と配線とのコンタクトホールの側壁として使用されることで素子と配線との層間絶縁膜としても機能する半導体装置。

【請求項 8】

基板上の素子分離領域内にトレンチを形成する工程と、

基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、絶縁膜で覆われた素子分離領域を形

surface disassociated element region is formed, the insulating film functions as interlayer insulating film, even with when width of each disassociated element region differs, as for width and depth of trench which forms each disassociated element region semiconductor device, which is fixed

[Claim 4]

With trench which was formed on substrate and trench is covered and insulating film which was formed to substrate surface disassociated element region is formed, the insulating film functions as interlayer insulating film, even with when width of each disassociated element region differs, as for width and depth of trench which forms each disassociated element region being fixed, As for width of each trench semiconductor device, which is same as the width of disassociated element region where width is narrowest in on substrate

[Claim 5]

With trench which was formed on substrate and trench is covered and insulating film which was formed to substrate surface disassociated element region is formed, the side wall of insulating film functions by fact that it is used as side wall of contact hole of element and metallization which were formed on substrate as interlayer insulating film of element and metallization, even with when width of each disassociated element region differs, As for width and depth of trench which forms each disassociated element region being fixed, as for width of each trench semiconductor device, which is the same as width of disassociated element region where width is narrowest in on the substrate

[Claim 6]

semiconductor device, where disassociated element region is formed with insulating film which was formed to substrate surface, as for insulating film as interlayer insulating film functions

[Claim 7]

By fact that it is used as side wall of contact hole of element and metallization where disassociated element region was formed with insulating film which was formed on substrate, as for side wall of insulating film was formed on substrate as interlayer insulating film of element and metallization semiconductor device, which functions

[Claim 8]

step, which forms trench inside disassociated element region on substrate

Way insulating film is formed on substrate, element-forming region on substrate exposes, by fact that patterning it does insulating film, manufacturing method. of semiconductor

成する工程とを備えた半導体装置の製造方法。

【請求項 9】

基板上にトレンチを形成する工程と、

トレンチの内部を含む基板の表面に絶縁物を堆積することで、トレンチの内部に絶縁物を充填して埋め込むと共に基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えた半導体装置の製造方法。

【請求項 10】

基板上にトレンチを形成する工程と、トレンチの内部に絶縁物を充填して埋め込む工程と、

基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えた半導体装置の製造方法。

【請求項 11】

基板上にトレンチを形成する工程と、トレンチの内壁を酸化させてシリコン酸化膜を形成した後、トレンチの内部に埋め込み材を充填して埋め込む工程と、

基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、素子分離領域を絶縁膜で覆う工程とを備えた半導体装置の製造方法。

【請求項 12】

請求項 8-11 のいずれか 1 項に記載の半導体装置の製造方法において、

トレンチの内部に SOG を埋め込む半導体装置の製造方法。

【請求項 13】

請求項 8-11 のいずれか 1 項に記載の半導体装置の製造方法において、

トレンチの内部に SOG を埋め込み、熱処理、プラズマ処理、イオン注入処理からなるグループから選択された少なくとも一つの処理を当該 SOG に施す工程を備えた半導体装置の製造方法。

【請求項 14】

device which has step which forms disassociated element region which is covered with the insulating film

[Claim 9]

step, which forms trench on substrate

As by fact that insulator is accumulated in surface of substrate which includes internal of trench, being filled, it imbeds the insulator to internal of trench way it forms insulating film on substrate, element-forming region on substrate exposes, by fact that patterning it does the insulating film, manufacturing method, of semiconductor device which has step which forms the disassociated element region which is covered with insulating film

[Claim 10]

step, which being filled, imbeds insulator to internal of the step, trench which forms trench on substrate

Way insulating film is formed on substrate, element-forming region on substrate exposes, by fact that patterning it does insulating film, manufacturing method, of semiconductor device which has step which forms disassociated element region which is covered with the insulating film

[Claim 11]

oxidation doing inside wall of step, trench which forms trench on the substrate, after forming silicon oxide film, step, which being filled, imbeds pad material to internal of trench

Way insulating film is formed on substrate, element-forming region on substrate exposes, by fact that patterning it does insulating film, manufacturing method, of semiconductor device which has step which covers disassociated element region with insulating film

[Claim 12]

In manufacturing method of semiconductor device which is stated in any one claim of Claim 8-11,

manufacturing method, of semiconductor device which imbeds SOG to internal of the trench

[Claim 13]

In manufacturing method of semiconductor device which is stated in any one claim of Claim 8-11,

In internal of trench SOG manufacturing method, of semiconductor device which has step which administers treatment of at least one which is selected from group which consists of pad and thermal processing, plasma treatment, ion implantation process to this said SOG

[Claim 14]

請求項 8-13 のいずれか 1 項に記載の半導体装置の製造方法において、

素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物からなるサイドウォールスペーサを形成することで、絶縁膜とゲート電極とサイドウォールスペーサとで囲まれた凹部からなるコンタクトホールを形成する工程と、

コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、

コンタクトホールの内部に導電性膜を充填して埋め込み、その導電性膜と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えた半導体装置の製造方法。

【請求項 15】

請求項 8-13 のいずれか 1 項に記載の半導体装置の製造方法において、

素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物からなるサイドウォールスペーサを形成することで、絶縁膜とゲート電極とサイドウォールスペーサとで囲まれた凹部からなるコンタクトホールを形成する工程と、

コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、

上記の工程で形成されたデバイスの全面に低濃度の不純物領域と同じ導電型のドーパドポリシリコン膜を堆積することで、コンタクトホールの内部にポリシリコン膜を充填して埋め込み、そのポリシリコン膜からなる高濃度の不純物領域を形成し、その高濃度の不純物領域と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えた半導体装置の製造方法。

【請求項 16】

請求項 8-13 のいずれか 1 項に記載の半導体装置の製造方法において、

素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物からなるサイドウォールスペーサを形成することで、絶縁膜とゲート電極とサイドウォールスペーサとで囲まれた凹部からなるコンタクトホールを形成する工程と、

In manufacturing method of semiconductor device which is stated in any one claim of Claim 8-13,

By fact that sidewall spacer which forms gate insulating film and gate electrode in the element-forming region, consists of insulator in side wall of gate electrode is formed, the step, which forms contact hole which consists of recess which with the insulating film and gate electrode and sidewall spacer is surrounded

Through contact hole, in substrate by fact that ion implantation it does the impurity, step, which forms impurity region of low concentration

electrically conductive film being filled in internal of contact hole, manufacturing method, of the semiconductor device which has step which with pad, electrically conductive film and impurity region of low concentration forms source region or drain region

[Claim 15]

In manufacturing method of semiconductor device which is stated in any one claim of Claim 8-13,

By fact that sidewall spacer which forms gate insulating film and gate electrode in the element-forming region, consists of insulator in side wall of gate electrode is formed, the step, which forms contact hole which consists of recess which with the insulating film and gate electrode and sidewall spacer is surrounded

Through contact hole, in substrate by fact that ion implantation it does the impurity, step, which forms impurity region of low concentration

In entire surface of device which was formed with above-mentioned step as impurity region of low concentration by fact that doped K^+ polysilicon membrane of same conduction type is accumulated, polysilicon membrane being filled in internal of contact hole, it forms impurity region of high concentration which consists of pad and that polysilicon membrane, impurity region of high concentration and impurity region of low concentration with source region or the manufacturing method, of semiconductor device which has step which forms drain region

[Claim 16]

In manufacturing method of semiconductor device which is stated in any one claim of Claim 8-13,

By fact that sidewall spacer which forms gate insulating film and gate electrode in the element-forming region, consists of insulator in side wall of gate electrode is formed, the step, which forms contact hole which consists of recess which with the insulating film and gate electrode and sidewall spacer is surrounded

コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、

上記の工程で形成されたデバイスの全面にノンドーブのポリシリコン膜を堆積することで、コンタクトホールの内部にポリシリコン膜を充填して埋め込む工程と、

ポリシリコン膜に低濃度の不純物領域と同じ導電型の不純物をイオン注入することで高濃度の不純物領域を形成し、その高濃度の不純物領域と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えた半導体装置の製造方法。

【請求項 17】

請求項 14-16 のいずれか 1 項に記載の半導体装置の製造方法において、

コンタクトホールの内部の導電性膜またはポリシリコン膜だけを残すように当該膜をエッチバックすることで、上記の工程で形成されたデバイスの表面を平坦化する工程を備えた半導体装置の製造方法。

【請求項 18】

請求項 15 または請求項 16 に記載の半導体装置の製造方法において、

ポリシリコン膜をシリサイド化し、そのシリサイド化されたポリシリコン膜をパターンニングすることで配線層を形成する工程とを備えた半導体装置の製造方法。

Specification

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は半導体装置および半導体装置の製造方法に係り、詳しくは、半導体素子分離技術および MOS トランジスタとその製造方法とに関するものである。

【0002】

【従来の技術】

半導体集積回路において、個々の素子は互いに独立して動作させる場合が多いため、半導体基板上の各素子が電気的に相互作用を及ぼし合わないよう、各素子間を電気的に分離する

Through contact hole, in substrate by fact that ion implantation it does the impurity, step. which forms impurity region of low concentration

By fact that polysilicon membrane of non doped is accumulated in the entire surface of device which was formed with above-mentioned step, step. which being filled, imbeds polysilicon membrane to internal of contact hole

manufacturing method. of semiconductor device which has step which in polysilicon membrane as impurity region of low concentration forms impurity region of high concentration by fact that ion implantation it does, impurity of same conduction type impurity region of the high concentration and impurity region of low concentration with source region or forms drain region

【Claim 17】

In manufacturing method of semiconductor device which is stated in any one claim of Claim 14-16,

Way just electrically conductive film or polysilicon membrane of internal of contact hole is left, manufacturing method. of semiconductor device which has step which surface of device which was formed by fact that etchback it does the this said film, with above-mentioned step planarization is done

【Claim 18】

In manufacturing method of semiconductor device which is stated in Claim 15 or Claim 16,

manufacturing method. of semiconductor device which has step which by fact that the patterning it does polysilicon membrane which to polyicide converts polysilicon membrane, to polyicide is converted forms metallization layer

【Description of the Invention】

【0001】

【Field of Industrial Application】

this invention relates to manufacturing method of semiconductor device and semiconductor device, details are semiconductor element separation technology and something regarding with MOS transistor and manufacturing method.

【0002】

【Prior Art】

In semiconductor integrated circuitry, as for individual element becoming independent mutually, because when it operates is many, in order for each element on semiconductor substrate to cause interaction to electrical, it is necessary to

必要がある。

この半導体素子分離技術には種々のものがあるが、一般に、絶縁物または逆バイアスが印加された pn 接合領域で素子の周囲を囲む方法が広く用いられている。

【0003】

pn 接合領域で素子の周囲を囲む方法は、素子分離領域に素子形成領域と逆導電型の不純物をドーピングすることで実現できる。

従って、製造工程が簡単なため、特にバイポーラトランジスタの素子分離に広く用いられているが、基板上における素子分離領域の面積を小さくできないため、高集積化が困難であるという欠点をもつ。

【0004】

絶縁物で素子の周囲を囲む方法には、LOCOS(Local Oxidation of Silicon)法とトレンチ法がある。

LOCOS 法は製造工程が簡単なため、特に MOS(Metal Oxide Semiconductor)トランジスタの素子分離に広く用いられているが、分離酸化膜の両端部にバースビークが生じるため素子形成領域の寸法が狂うという欠点がある。

そこで、バースビークの発生を抑制したり、発生したバースビークを除去するように改良された LOCOS 法が種々提案されており、デザインルールが $0.5\mu\text{m}$ 程度までは有効な技術であるといえる。

しかし、半導体集積回路のさらなる高集積化が要求されている現在では、その素子分離能力に限界が見えはじめている。

【0005】

トレンチ法には、1 素子の周囲に溝(トレンチ)を形成し、そのトレンチ内部を絶縁性の埋め込み材で埋め込む方法と、2 素子の周囲にトレンチを形成し、そのトレンチ内壁を酸化させてシリコン酸化膜を形成した後、トレンチ内部を埋め込み材で埋め込む方法とがある。

1 の方法では、一般に、埋め込み材として CVD(Chemical Vapor Deposition)法で形成された酸化シリコンが用いられる。

2 の方法では、一般に、埋め込み材として CVD 法で形成されたポリシリコンが用いられる。

トレンチ法は、LOCOS 法に比べて素子分離領域の面積を大幅に縮小化できるため、高集積化

separate between each element into electrical.

There are various ones in this semiconductor element separation technology, but generally, the insulator or reverse bias is widely used method which surrounds periphery of element with pn junction region which imparting is done.

【0003】

method which surrounds periphery of element with pn junction region in the disassociated element region to element-forming region can actualize by fact that doped it does impurity of opposite conduction type.

Therefore, production step because of simple, it is widely used for the element separation of especially bipolar transistor, but surface area of disassociated element region on substrate surface because it cannot make small, it has deficiency that trend to high integration is difficult.

【0004】

There is a LOCOS (local oxidation of Silicon) method and a trench method in method which surrounds periphery of element with insulator.

LOCOS method production step because of simple, is widely used for element separation of especially MOS (metal oxide Semiconductor) transistor, but because bar s BYK occurs in both ends of isolation oxide film, there is a deficiency that dimension of element-forming region it deviates.

Then, in order to remove bar s BYK which controls the occurrence of bar s BYK, occurs, LOCOS method which is improved is proposed various, you can say that design rule is effective technology to $0.5\mu\text{m}$ extent.

But, at present further trend to high integration of semiconductor integrated circuitry is required, the limit has started to be visible in element separation ability.

【0005】

In trench method, slot (trench) was formed in periphery of 1 element, after trench was formed in periphery of method and 2 element which imbedded trench internal with insulating pad material, trench inside wall oxidation was done and silicon oxide film being formed, there is a method which imbeds the trench internal with pad material.

With method of 1, generally, it can use silicon oxide which was formed with CVD (Chemical Vapor deposition) method as pad material.

With method of 2, generally, it can use polysilicon which was formed with CVD method as pad material.

As for trench method, in comparison with LOCOS method greatly reduction because its possible surface area of

に有利であるという特徴をもつ。

また、トレンチを深く形成することにより、基板の深い領域まで確実に素子分離を行うことができる。

そのため、埋め込みコレクタ層をもつバイポーラトランジスタの素子分離には特に有効で、素子分離領域をLOCOS法の20%程度まで縮小できる。

[0006]

【発明が解決しようとする課題】

半導体メモリのメモリセル領域などのパターンの単調性が高い半導体集積回路では、各素子分離領域の幅が一定になる。

しかし、ロジックなどのパターンの単調性が低い半導体集積回路では、各素子分離領域の幅がそれぞれ異なる場合がある。

ところで、トレンチの形成には主に RIE(Reactive Ion Etching)法が用いられるが、幅の広いトレンチのエッチングレートは幅の狭いトレンチのそれよりも大きくなる。

[0007]

従って、トレンチ法では、複数の素子分離領域の幅がそれぞれ異なる場合、同一工程で全てのトレンチを形成するとすると、幅の広い素子分離領域のトレンチは深くなり、幅の狭い素子分離領域のトレンチは浅くなる。

つまり、各トレンチの深さは、素子分離領域の幅に対応してそれぞれ異なったものになる。

[0008]

その結果、幅が広く深いトレンチでは、トレンチ内壁を酸化する際に基板にかかる応力ストレスや、トレンチ内部の埋め込み材と基板との熱膨張係数の差によって生じる応力ストレスなどにより、基板内に結晶欠陥が発生しやすくなる。

そのような結晶欠陥は素子に悪影響を与え、半導体集積回路の特性劣化につながる。

[0009]

また、近年、MOS トランジスタにおいては、微細

disassociated element region, it has feature that it is profitable in trend to high integration.

In addition, element separation is done securely to region where substrate is deep by forming trench deeply, it is possible.

Because of that, especially being effective to element separation of bipolar transistor which has pad collector layer, it can reduce disassociated element region to 20% extent of the LOCOS method.

[0006]

[Problems to be Solved by the Invention]

With semiconductor integrated circuitry where monotonicity of memory cell region or other pattern of semiconductor memory is high, the width of each disassociated element region becomes fixed.

But, with semiconductor integrated circuitry where monotonicity of logic or other pattern is low, there are times when width of each disassociated element region differs respectively.

By way, it can use to formation of trench RIE (Reactive Ion Etching) method mainly, but etching rate of trench where width is wide becomes large in comparison with that of trench where width is narrow.

[0007]

Therefore, with trench method, when width of disassociated element region of plural differs respectively, when all trench is formed with same step, when it becomes, trench of disassociated element region where width is wide becomes deep, trench of disassociated element region where width is narrow becomes shallow.

In other words, depth of each trench, corresponding to width of disassociated element region, becomes something which differs respectively.

[0008]

As a result, with trench where width is deep widely, when the oxidation doing trench inside wall, crystal defect becomes easy to occur inside the substrate depending upon pad material of stress stress and trench internal which depend on substrate and stress stress etc which it occurs in difference of thermal expansion factor of substrate.

That kind of crystal defect gives adverse effect to element, is connected to the property degradation of semiconductor integrated circuitry.

[0009]

In addition, problem below has been actualized attendant

化に伴って以下の問題が顕在化している。

1 ソース・ドレイン領域とソース・ドレイン電極とを接続するコンタクトホールの位置ずれによるコンタクト抵抗の増大

MOS トランジスタの製造工程では、ソース・ドレイン領域上に形成された層間絶縁膜にコンタクトホールを形成した後、ソース・ドレイン電極を形成することで、コンタクトホールを介してソース・ドレイン領域とソース・ドレイン電極とのコンタクトが図られる。

その際、コンタクトホールの形成にはレジストパターンをエッチング用マスクとするエッチングが用いられるため、レジストパターンを作成するためのフォトリソグラフィ工程におけるマスクずれが不可避である。

そのマスクずれにより、コンタクトホールの位置がソース・ドレイン領域から多少ずれる結果、ソース・ドレイン領域とソース・ドレイン電極との確実なコンタクトが阻害され、コンタクト抵抗の増大を招く恐れがある。

[0010]

2 ソース・ドレイン領域の接合容量および電気抵抗の増大

MOS トランジスタにおいては、微細化に伴って短チャネル効果の抑制がますます重要になっている。

短チャネル効果が生じると、閾値電圧が低下して所望の値が得られなくなる上に、消費電力も増大する。

さらに、短チャネル効果が激しくなると、パンチスルーを起こして MOS トランジスタとして動作しなくなってしまう。

短チャネル効果を抑制するには、ソース・ドレイン領域の接合を基板の表面近くの浅い部分に形成すればよい(すなわち、ソース・ドレイン領域の接合を浅くすればよい)。

[0011]

また、ソース・ドレイン領域とソース・ドレイン電極とのコンタクト抵抗を低減するためには、ソース・ドレイン領域においてソース・ドレイン電極と接する部分(すなわち、基板の表面近くの部分)の不純物濃度を高くすることで、その部分の電気抵抗を低くする必要がある。

[0012]

しかし、基板に対する不純物の固溶度には限界があるため、ソース・ドレイン領域の接合を浅くし

upon the narrowing recently, regarding MOS transistor.

With 1 source * drain region and positional deviation of contact hole which connects source * drain electrode increase of contact resistance

With production step of MOS transistor, after forming contact hole in interlayer insulating film which was formed on source * drain region by fact that source * drain electrode is formed, through contact hole, contact of source * drain region and source * drain electrode is assured.

At that occasion, in formation of contact hole because it can use the etching which designates resist pattern as mask for etching, mask gap in photolithography process in order to draw up resist pattern is unavoidable.

With mask gap, there is a possibility assured contact of result, the source * drain region and source * drain electrode where position of contact hole slips more or less from source * drain region being done, inhibition causing increase of the contact resistance.

[0010]

Connecting capacity of 2 source * drain region and increase of electrical resistance

Regarding MOS transistor, control of short channel effect has become more and more important attendant upon narrowing.

When short channel effect occurs, threshold voltage decreasing, in addition to fact that desired value stops being acquired, it increases also electricity consumption.

Furthermore, when short channel effect becomes extreme, punch slew happens and stops operating as MOS transistor.

short channel effect is controlled, if connecting source * drain region should have been formed in portion where surface vicinity of substrate is shallow. (Connecting namely, source * drain region should have been made shallow.)

[0011]

In addition, in order to decrease contact resistance of source * drain region and the source * drain electrode, by fact that impurity concentration of portion (surface nearby portion of namely, substrate) which touches with source * drain electrode in source * drain region is made high, it is necessary to make electrical resistance of portion low.

[0012]

But, because there is a limit in solid solubility of impurity for substrate, when connecting source * drain region is made

た場合、ソース・ドレイン領域の不純物濃度を高くしても、ソース・ドレイン領域の拡散層の電気抵抗が増大することがある。

[0013]

さらに、ソース・ドレイン領域の不純物濃度を高くすると、ソース・ドレイン領域の接合容量が増大する。

そして、基板の不純物濃度を高した場合にも、ソース・ドレイン領域の接合容量は増大する。

ところで、高集積化を実現するには、パンチスルーを防止するため、基板の不純物濃度を高く設定しておく必要がある。

従って、微細化に伴い、ソース・ドレイン領域の接合容量はますます増大することになる。

[0014]

このような問題(ソース・ドレイン領域とソース・ドレイン電極とのコンタクト抵抗の増大、ソース・ドレイン領域の電気抵抗の増大、ソース・ドレイン領域の接合容量の増大)は MOS トランジスタの応答速度を低下させ、半導体集積回路の特性劣化につながる。

[0015]

3 デバイス表面の平坦化

半導体集積回路において配線の断線を防ぐためには、配線の下層(すなわち、デバイス表面)の段差を低減する必要がある。

また、フォトリソグラフィ工程において、微細なレジストパターンを形成するためには、レジストパターンの下層(すなわち、デバイス表面)の凹凸をステップの焦点深度以内に抑える必要がある。

そこで、デバイス表面に平坦な層間絶縁膜を形成する方法、全面エッチバック法、化学的機械研磨法、バイアスバタ法などを用いる平坦化技術が種々提案されている。

しかし、従来の平坦化技術では、平坦化のための特別な工程を設けなければならないため、製造工程が複雑化するという欠点がある。

[0016]

本発明は上記問題を解決するためになされたものであって、以下の目的を有するものである。

1) 素子分離領域の面積を低減することが可能な半導体装置およびその製造方法を提供する。

shallow, making impurity concentration of the source * drain region high, electrical resistance of diffusion layer of source * drain region increases has.

[0013]

Furthermore, when impurity concentration of source * drain region is made high, connecting capacity of source * drain region increases.

When and, impurity concentration of substrate is made high, it increases the connecting capacity of source * drain region.

By way, trend to high integration is actualized, in order to prevent punch slew, its necessary to set impurity concentration of substrate highly.

Therefore, attendant upon narrowing, connecting capacity of source * drain region means to increase more and more.

[0014]

This kind of problem (Increase of contact resistance of source * drain region and source * drain electrode, increase of electrical resistance of source * drain region and increase of connecting capacity of source * drain region) response speed of MOS transistor decreasing, is connected to property degradation of semiconductor integrated circuitry.

[0015]

planarization of 3 device surface

In order to prevent line break of metallization in semiconductor integrated circuitry, it is necessary to decrease step of bottom layer (namely, device surface) of metallization.

In addition, in order to form microscopic resist pattern in photolithography process, it is necessary to hold down relief of bottom layer (namely, device surface) of resist pattern within focus depth of stepper.

Then, method of forming insulator film between flat layer in device surface, planarization technology which uses entire surface etchback method, chemomechanical polishing method, bias sputtering method etc is proposed various.

But, with conventional planarization technology, special step for planarization must be provided, because, there is a deficiency that production step does complication.

[0016]

As for this invention being something which can be made in order to solve above-mentioned problem, it is something which possesses objective below.

1) surface area of disassociated element region is decreased offers possible semiconductor device and its manufacturing

な半導体装置およびその製造方法を提供する。

【0017】

2) デバイス表面の平坦性に優れた半導体装置およびその製造方法を提供する。

3) 応答特性に優れたMOSトランジスタを提供する。

【0018】

【課題を解決するための手段】

請求項1に記載の発明は、基板上に形成されたトレンチと、基板表面に形成された絶縁膜とで素子分離領域が形成されたことをその要旨とする。

【0019】

請求項2に記載の発明は、基板上に形成されたトレンチと、基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能することをその要旨とする。

【0020】

請求項3に記載の発明は、基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定であることをその要旨とする。

【0021】

請求項4に記載の発明は、基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および深さは一定で、各トレンチの幅は基板上において最も幅の狭い素子分離領域の幅と同じであることをその要旨とする。

【0022】

請求項5に記載の発明は、基板上に形成されたトレンチと、そのトレンチを覆い基板表面に形成された絶縁膜とで素子分離領域が形成され、その絶縁膜の側壁は基板上に形成された素子と配線とのコンタクトホール側の側壁として使用されることで素子と配線との層間絶縁膜としても機能し、各素子分離領域の幅が異なる場合でも、各素子分離領域を構成するトレンチの幅および

method.

【0017】

2) semiconductor device and its manufacturing method which are superior in planarity of the device surface are offered.

3) MOS transistor which is superior in response characteristic is offered.

【0018】

[Means to Solve the Problems]

As for invention which is stated in Claim 1, with trench which was formed on substrate and insulating film which was formed to the substrate surface disassociated element region was formed makes gist.

【0019】

As for invention which is stated in Claim 2, with trench which was formed on substrate and insulating film which was formed to the substrate surface disassociated element region is formed, insulating film as interlayer insulating film functions makes gist.

【0020】

Invention which is stated in Claim 3, with trench which was formed on substrate and covers trench and insulating film which was formed to substrate surface disassociated element region is formed, insulating film functions as the interlayer insulating film, even with when width of each disassociated element region differs, width and depth of trench which forms each disassociated element region are fixed, it makes gist.

【0021】

Invention which is stated in Claim 4, with trench which was formed on substrate and covers trench and insulating film which was formed to substrate surface disassociated element region is formed, insulating film functions as the interlayer insulating film, even with when width of each disassociated element region differs, as for the width and depth of trench which forms each disassociated element region being fixed, width of each trench is same as width of disassociated element region where width is narrowest in on substrate, it makes gist.

【0022】

Invention which is stated in Claim 5, with trench which was formed on substrate and covers trench and insulating film which was formed to substrate surface disassociated element region is formed, side wall of insulating film functions by fact that it is used as side wall of contact hole of the element and metallization which were formed on substrate as interlayer insulating film of the element and metallization, As for width and depth of trench which forms each disassociated element

深さは一定で、各トレンチの幅は基板上において最も幅の狭い素子分離領域の幅と同じであることをその要旨とする。

【0023】

請求項 6 に記載の発明は、基板表面に形成された絶縁膜によって素子分離領域が形成され、その絶縁膜は層間絶縁膜としても機能することをその要旨とする。

請求項 7 に記載の発明は、基板上に形成された絶縁膜によって素子分離領域が形成され、その絶縁膜の側壁は基板上に形成された素子と配線とのコンタクトホールの側壁として使用されることで素子と配線との層間絶縁膜としても機能することをその要旨とする。

【0024】

請求項 8 に記載の発明は、基板上の素子分離領域内にトレンチを形成する工程と、基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えたことをその要旨とする。

【0025】

請求項 9 に記載の発明は、基板上にトレンチを形成する工程と、トレンチの内部を含む基板の表面に絶縁物を堆積することで、トレンチの内部に絶縁物を充填して埋め込むと共に基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えたことをその要旨とする。

【0026】

請求項 10 に記載の発明は、基板上にトレンチを形成する工程と、トレンチの内部に絶縁物を充填して埋め込む工程と、基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすることで、絶縁膜で覆われた素子分離領域を形成する工程とを備えたことをその要旨とする。

【0027】

請求項 11 に記載の発明は、基板上にトレンチを形成する工程と、トレンチの内壁を酸化させてシリコン酸化膜を形成した後、トレンチの内部に埋め込み材を充填して埋め込む工程と、基板上に絶縁膜を形成し、基板上の素子形成領域が露出するように絶縁膜をパターニングすること

region being fixed, width of each trench is same as width of the disassociated element region where width is narrowest in on substrate even with when the width of each disassociated element region differs, it makes gist.

【0023】

As for invention which is stated in Claim 6, disassociated element region is formed with insulating film which was formed to substrate surface, insulating film as interlayer insulating film functions makes gist.

As for invention which is stated in Claim 7, disassociated element region is formed with insulating film which was formed on substrate, side wall of insulating film by fact that it is used as side wall of contact hole of element and metallization which were formed on substrate as interlayer insulating film of element and metallization functions makes gist.

【0024】

Invention which is stated in Claim 8 formed insulating film on the step. substrate which forms trench inside disassociated element region on substrate in order for element-forming region on substrate to expose, by fact that patterning it does insulating film, had step which forms disassociated element region which is covered with insulating film, it makes gist.

【0025】

Way invention which is stated in Claim 9 as by fact that the insulator is accumulated in surface of substrate which includes the internal of step. trench which forms trench on substrate, being filled, it imbeds insulator to internal of trench forms insulating film on the substrate, element-forming region on substrate exposes, by fact that patterning it does insulating film. It had step which forms disassociated element region which is covered with insulating film it makes gist.

【0026】

Invention which is stated in Claim 10 formed insulating film on the step. substrate which being filled, imbeds insulator to internal of step. trench which forms trench on substrate in order for element-forming region on substrate to expose, by fact that patterning it does insulating film, had step which forms disassociated element region which is covered with insulating film, it makes gist.

【0027】

Way invention which is stated in Claim 11 oxidation doing the inside wall of step. trench which forms trench on substrate, after forming silicon oxide film, forms insulating film on step. substrate which being filled, imbeds the pad material to internal of trench, element-forming region on substrate exposes, by fact that patterning it does insulating

で、素子分離領域を絶縁膜で覆う工程とを備えたことをその要旨とする。

[0028]

請求項 12 に記載の発明は、請求項 8-11 のいずれか 1 項に記載の半導体装置の製造方法において、トレンチの内部に SOG を埋め込むことをその要旨とする。

[0029]

請求項 13 に記載の発明は、請求項 8-11 のいずれか 1 項に記載の半導体装置の製造方法において、素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物となるサイドウォールスペースを形成することで、絶縁膜とゲート電極とサイドウォールスペースとで囲まれた凹部からなるコンタクトホールを形成する工程と、コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、コンタクトホールの内部に導電性膜を充填して埋め込み、その導電性膜と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えたことをその要旨とする。

[0030]

請求項 14 に記載の発明は、請求項 8-13 のいずれか 1 項に記載の半導体装置の製造方法において、素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物となるサイドウォールスペースを形成することで、絶縁膜とゲート電極とサイドウォールスペースとで囲まれた凹部からなるコンタクトホールを形成する工程と、コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、コンタクトホールの内部に導電性膜を充填して埋め込み、その導電性膜と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えたことをその要旨とする。

[0031]

請求項 15 に記載の発明は、請求項 8-13 のいずれか 1 項に記載の半導体装置の製造方法において、素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物となるサイドウォールスペースを形成することで、絶縁膜とゲート電極とサイドウォールスペースとで囲まれた凹部からなるコンタクトホールを形成する工程と、コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、上記の工程で形成されたデバイスの全面に低濃度の不純物領域と同じ導電型のドーパドポリシリコン膜を堆積することで、コンタクトホールの内部にポリシリコン膜を充填して埋め込み、そのポリシリコン膜からなる高濃度の不純物領域を形成し、その高濃度の不純物領域と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えたことをその要旨とする。

film, it had step which covers disassociated element region with insulating film it makes gist.

[0028]

Invention which is stated in Claim 12 imbeds SOG to the internal of trench in manufacturing method of semiconductor device which is stated in the any one claim of Claim 8-11, it makes gist.

[0029]

Invention which is stated in Claim 13 SOG had step which administers treatment of at least one which is selected from the group which consists of pad and thermal processing, plasma treatment, ion implantation process to this said SOG for the internal of trench in manufacturing method of semiconductor device which is stated in the any one claim of Claim 8-11, it makes gist.

[0030]

By fact that sidewall spacer where invention which is stated in the Claim 14 forms gate insulating film and gate electrode in element-forming region in manufacturing method of the semiconductor device which is stated in any one claim of Claim 8-13, consists of insulator in side wall of gate electrode is formed, Through step, contact hole which forms contact hole which consists of recess which with insulating film and gate electrode and sidewall spacer is surrounded in the substrate by fact that ion implantation it does impurity, electrically conductive film being filled in internal of step, contact hole which forms impurity region of low concentration, pad, it had step which with electrically conductive film and impurity region of low concentration forms source region or drain region it makes gist.

[0031]

By fact that sidewall spacer where invention which is stated in the Claim 15 forms gate insulating film and gate electrode in element-forming region in manufacturing method of the semiconductor device which is stated in any one claim of Claim 8-13, consists of insulator in side wall of gate electrode is formed, Through step, contact hole which forms contact hole which consists of recess which with insulating film and gate electrode and sidewall spacer is surrounded in the substrate by fact that ion implantation it does impurity, in entire surface of device which was formed with step, above-mentioned step which forms impurity region of low concentration as impurity region of low concentration by fact that doped F⁻ polysilicon membrane of same conduction type is accumulated, polysilicon membrane being filled in internal of contact hole, it formed impurity region of high concentration which consists of pad and that polysilicon membrane, it had step which with impurity region of high concentration and the impurity region of low concentration

を備えたことをその要旨とする。

【0032】

請求項 16 に記載の発明は、請求項 8-13 のいずれか 1 項に記載の半導体装置の製造方法において、素子形成領域にゲート絶縁膜およびゲート電極を形成し、ゲート電極の側壁に絶縁物からなるサイドウォールスペースを形成することで、絶縁膜とゲート電極とサイドウォールスペースとで囲まれた凹部からなるコンタクトホールを形成する工程と、コンタクトホールを介して基板に不純物をイオン注入することで、低濃度の不純物領域を形成する工程と、上記の工程で形成されたデバイスの全面にノンドーパのポリシリコン膜を堆積することで、コンタクトホールの内部にポリシリコン膜を充填して埋め込む工程と、ポリシリコン膜に低濃度の不純物領域と同じ導電型の不純物をイオン注入することで高濃度の不純物領域を形成し、その高濃度の不純物領域と低濃度の不純物領域とでソース領域またはドレイン領域を形成する工程とを備えたことをその要旨とする。

【0033】

請求項 17 に記載の発明は、請求項 14-16 のいずれか 1 項に記載の半導体装置の製造方法において、コンタクトホールの内部の導電性膜またはポリシリコン膜だけを残すように当該膜をエッチバックすることで、上記の工程で形成されたデバイスの表面を平坦化する工程を備えたことをその要旨とする。

【0034】

請求項 18 に記載の発明は、請求項 15 または請求項 16 に記載の半導体装置の製造方法において、ポリシリコン膜をシリサイド化し、そのシリサイド化されたポリシリコン膜をパターンニングすることで配線層を形成する工程とを備えたことをその要旨とする。

【0035】

【作用】

請求項 1-5 のいずれか 1 項に記載の発明によれば、トレンチと絶縁膜とを併用して素子分離が行われる。

従って、トレンチ法と同様に、素子分離領域の面積を縮小できる。

【0036】

請求項 2-5 のいずれか 1 項に記載の発明によれば、絶縁膜が層間絶縁膜としても機能するた

forms source region or drain region, it makes the gist.

【0032】

By fact that sidewall spacer where invention which is stated in the Claim 16 forms gate insulating film and gate electrode in element-forming region in manufacturing method of the semiconductor device which is stated in any one claim of Claim 8-13, consists of insulator in side wall of gate electrode is formed. Through step, contact hole which forms contact hole which consists of recess which with insulating film and gate electrode and sidewall spacer is surrounded in the substrate by fact that ion implantation it does impurity, by fact that polysilicon membrane of non doped is accumulated in entire surface of the device which was formed with step, above-mentioned step which forms impurity region of low concentration, In step, polysilicon membrane which being filled, imbeds polysilicon membrane to internal of contact hole as impurity region of low concentration it formed impurity region of high concentration by fact that ion implantation it does, impurity of same conduction type it had step which with impurity region of high concentration and impurity region of low concentration forms source region or drain region, it makes gist.

【0033】

Invention which is stated in Claim 17 in order to leave just the electrically conductive film or polysilicon membrane of internal of contact hole in manufacturing method of semiconductor device which is stated in any one claim of Claim 14-16, had step which surface of device which was formed by fact that the etchback it does this said film, with above-mentioned step planarization is done, it makes gist.

【0034】

polysilicon membrane to polyicide it converted invention which is stated in Claim 18, in manufacturing method of semiconductor device which is stated in the Claim 15 or Claim 16, to polyicide it had step which forms the metallization layer by fact that patterning it does polysilicon membrane which is converted, it makes gist.

【0035】

【Working Principle】

According to invention which is stated in any one claim of Claim 1-5, jointly using trench and insulating film, element separation is done.

Therefore, in same way as trench method, surface area of dissociated element region can be reduced.

【0036】

According to invention which is stated in any one claim of Claim 2-5, insulating film as interlayer insulating film in order

め、層間絶縁膜を形成する工程およびその層間絶縁膜コンタクトホールを形成する工程を省くことができる。

[0037]

請求項 3-5 のいずれか 1 項に記載の発明によれば、トレンチの幅および深さが一定であるため、大きなトレンチによって基板に応力ストレスがかかるのを防止することができる。

[0038]

請求項 4 または請求項 5 に記載の発明によれば、各トレンチの幅は基板上において最も幅の狭い素子分離領域の幅と同じであり、素子分離領域の幅は絶縁膜によって規定される。

[0039]

請求項 6 または請求項 7 に記載の発明によれば、素子分離用の絶縁膜が層間絶縁膜としても機能するため、層間絶縁膜を形成する工程およびその層間絶縁膜にコンタクトホールを形成する工程を省くことができる。

[0040]

請求項 8-11 のいずれか 1 項に記載の発明によれば、トレンチと絶縁膜とを併用して素子分離が行われる。

請求項 9 に記載の発明によれば、トレンチの内部に絶縁物を充填して埋め込む工程と、基板上に絶縁膜を形成する工程とを連続して行うことができる。

[0041]

請求項 10 に記載の発明によれば、トレンチの内部に埋め込む絶縁物と基板上の絶縁膜とを別の材質にすることができる。

請求項 11 に記載の発明によれば、トレンチの埋め込み材として導電性膜を用いることができる。

[0042]

請求項 12 に記載の発明によれば、平坦性に優れた SOG を用いることで、トレンチを確実に埋め込むことができる。

請求項 13 に記載の発明によれば、前記処理を SOG に施すことで、SOG の欠点を克服することができる。

[0043]

請求項 14-16 のいずれか 1 項に記載の発明に

to function, step which forms the interlayer insulating film and step which forms its interlayer insulating film contact hole are excluded, it is possible.

[0037]

According to invention which is stated in any one claim of Claim 3-5, because width and depth of trench are fixed, fact that stress stress depends on substrate with large trench can be prevented.

[0038]

According to invention which is stated in Claim 4 or Claim 5, as for the width of each trench being same as width of disassociated element region where the width is narrowest in on substrate, width of disassociated element region is stipulated with insulating film.

[0039]

According to invention which is stated in Claim 6 or Claim 7, insulating film for element separation as interlayer insulating film in order to function, step which forms the contact hole in step and its interlayer insulating film which form interlayer insulating film is excluded, it is possible.

[0040]

According to invention which is stated in any one claim of Claim 8-11, jointly using trench and insulating film, element separation is done.

According to invention which is stated in Claim 9, insulator being filled in internal of trench, continuing step which forms insulating film on step. substrate which it imbeds, it does, it is possible.

[0041]

According to invention which is stated in Claim 10, insulating film on insulator and substrate which are imbedded to internal of trench can be designated as another material. electrically conductive film can be used according to invention which is stated in Claim 11, as pad material of trench.

[0042]

According to invention which is stated in Claim 12, by fact that SOG which is superior in planarity is used, trench is imbedded securely, it is possible.

According to invention which is stated in Claim 13, by fact that aforementioned treatment is administered to SOG, deficiency of SOG can be overcome.

[0043]

According to invention which is stated in any one claim of

よれば、低濃度の不純物領域の不純物濃度を低くすることで、ソース・ドレイン領域の接合容量の増大を回避することができる。

また、導電性膜の電気抵抗を低くすることで(導電性膜にポリシリコン膜を用いる場合は、その不純物濃度を高くして電気抵抗を低くすることで)、低濃度の不純物領域と導電性膜とのコンタクト抵抗を低減すると共に、ソース・ドレイン領域の電気抵抗を低減することができる。

また、高濃度の不純物領域の不純物濃度を高くしてその電気抵抗を低くすることで、低濃度の不純物領域と高濃度の不純物領域とのコンタクト抵抗を低減すると共に、ソース・ドレイン領域の電気抵抗を低減することができる。

従って、応答速度の速い MOS トランジスタを得ることができる。

[0044]

請求項 15 または請求項 16 に記載の発明によれば、平坦性に優れたポリシリコン膜を用いることで、コンタクトホールを確実に埋め込むことができる。

請求項 15 に記載の発明によれば、ドーパドポリシリコン膜を用いることで、高濃度の不純物領域を簡単に形成することができる。

[0045]

請求項 16 に記載の発明によれば、イオン注入を用いることで高濃度の不純物領域の不純物濃度を簡単かつ確実に制御することができる。

請求項 17 に記載の発明によれば、平坦化のための特別な工程を用いることなく、デバイスの表面を平坦化することができる。

[0046]

請求項 18 に記載の発明によれば、高濃度の不純物領域の不純物濃度を高くすることで、ソース領域またはドレイン領域と配線層とのオーミックコンタクトをとることができる。

また、層間絶縁膜を形成する工程およびその層間絶縁膜にコンタクトホールを形成する工程を省くことができる。

さらに、配線層を簡単に形成することができる。

[0047]

【実施例】

Claim 14~16, by fact that impurity concentration of impurity region of low concentration is made low, increase of connecting capacity of source * drain region can be evaded.

In addition, as (When polysilicon membrane is used for electrically conductive film, making impurity concentration high, by fact that it makes electrical resistance low), contact resistance of impurity region and electrically conductive film of low concentration is decreased by fact that electrical resistance of electrically conductive film is made low, the electrical resistance of source * drain region can be decreased.

In addition, making impurity concentration of impurity region of high concentration high, as by fact that it makes electrical resistance low, it decreases contact resistance of the impurity region of low concentration and impurity region of high concentration, it can decrease the electrical resistance of source * drain region.

Therefore, MOS transistor where response speed is fast can be acquired.

[0044]

According to invention which is stated in Claim 15 or Claim 16, by fact that polysilicon membrane which is superior in planarity is used, contact hole is imbedded securely, it is possible.

According to invention which is stated in Claim 15, by fact that doped F⁻ polysilicon membrane is used, impurity region of high concentration can be formed simply.

[0045]

According to invention which is stated in Claim 16, impurity concentration of impurity region of high concentration can be controlled simply and securely by the fact that ion implantation is used.

planarization is possible surface of device according to the invention which is stated in Claim 17, without using special step for planarization.

[0046]

According to invention which is stated in Claim 18, by fact that impurity concentration of impurity region of high concentration is made high, ohmic contact of source region or drain region and metallization layer is taken, it is possible.

In addition, step which forms contact hole in step and its interlayer insulating film which form interlayer insulating film is excluded, it is possible.

Furthermore, metallization layer can be formed simply.

[0047]

[Working Example(s)]

以下、本発明を n チャンネル MOS トランジスタおよびその素子分離に具体化した一実施例を図面に従って説明する。

図 1-図 6 は、本実施例の製造方法を示す概略断面図である。

【0048】

工程 1(図 1(a)参照):RIE 法を用い、p 型単結晶シリコン基板 1 上の素子分離領域 α にトレンチ 2 を形成する。

次に、トレンチ 2 の内部を含む基板 1 の表面に絶縁物 3 を堆積させ、トレンチ 2 の内部に絶縁物 3 を充填して埋め込むと共に、基板 1 上に絶縁物 3 による膜(以下、絶縁膜 3a という)を形成する。

ここで、絶縁物 3 としてはトレンチ 2 の内部を完全に充填できるような絶縁材料であれば何を用いてもよく、具体的には、酸化シリコン、窒化シリコン、シリケートガラス、SOG などがあげられる。

続いて、熱処理を施し、基板 1 中の結晶欠陥の回復や応力ストレスの緩和を図る。

そして、基板 1 上の素子形成領域 β が露出するように絶縁膜 3a をパターニングすることで、素子分離領域 α を絶縁膜 3a で覆う。

【0049】

ここで、図 6 に示すように、各素子分離領域 α 1- α 3 の幅がそれぞれ異なる場合でも、各素子分離領域 α 1- α 3 に形成される各トレンチ 2a-2c の幅 W および深さ H は全て同じにする。

また、トレンチ 2 の幅 W は、基板 1 上において最も幅の狭い素子分離領域 α (図 6 では、素子分離領域 α 3)の幅と同じにする。

【0050】

尚、トレンチ 2 の形成される位置は素子分離領域 α 内であればどこであってもよい。

工程 2(図 1(b)参照):素子形成領域 β 上にゲート絶縁膜 4 を形成する。

次に、ゲート絶縁膜 4 上に導電材料からなる膜 5 を堆積し、その上に絶縁膜 6 を形成する。

ここで、各膜 4-6 を合わせた膜厚は、絶縁膜 3a の膜厚と同じにする。

Below, this invention following one Working Example which implementation is done to the drawing in nchannel MOS transistor, and its element separation you explain.

Figure 1-Figure 6 is conceptual cross section diagram which shows manufacturing method of this working example.

【0048】

step 1 (Figure 1 (a) reference); making use of RIE, trench 2 is formed in the disassociated element regional on p-type single crystal silicon substrate 1.

Next, accumulating insulator 3 in surface of substrate 1 which includes internal of trench 2, as being filled, it imbeds insulator 3 to the internal of trench 2, on substrate 1 it forms film (Below, you call insulating film 3a) with insulator 3.

If here, internal of trench 2 it is a insulating material which it can be filled completely as insulator 3, making use of what it is good, concretely, can list silicon oxide, silicon nitride, silicate glass, SOG etc.

Consequently, thermal processing is administered, recovery of crystal defect in the substrate 1 and relief of stress stress are assured.

In order and, for element-forming region; be on substrate 1 to expose, by fact that patterning it does insulating film 3a, disassociated element region; al is covered with the insulating film 3a.

【0049】

As here, shown in Figure 6, each disassociated element region; al even with when width of l -al 3 differs respectively, in each disassociated element region; al it makes width W and depth H of each trench 2a-2c which is formed l -al 3 all same.

In addition, it makes width W of trench 2, same as width of disassociated element region; al (With Figure 6, disassociated element region; al 3) where width is narrowest in on substrate 1.

【0050】

Furthermore position where trench 2 is formed if it is inside the disassociated element region; al, is good anywhere.

step 2 (Figure 1 (b) reference); gate insulating film 4 is formed on element-forming region; be.

Next, film 5 which consists of electrically conductive material on gate insulating film 4 is accumulated, insulating film 6 is formed on that.

Here, it makes film thickness which adjusts each film 4-6, same as the film thickness of insulating film 3a.

[0051]

工程 3(図 2 参照);各膜 4-6 をパターンニングすることで、膜 5 からなるゲート電極 7 を形成する。

そして、デバイスの全面に絶縁物を堆積し、全面エッチバック法を用いて当該絶縁物をエッチバックすることで、絶縁膜 3a およびゲート電極 7 の側壁に絶縁物からなるサイドウォールスペーサ 8 を形成する。

続いて、絶縁膜 3a,6 およびサイドウォールスペーサ 8 をイオン注入用マスクとして基板 1 にリンをイオン注入(注入電圧:50keV、注入濃度: $1 \times 10^{15} \text{cm}^{-2}$)することで、低濃度の n' 領域 9 を形成する。

ここで、イオン注入の条件は、n' 領域 9 の不純物濃度が $1 \times 10^{17} \sim 10^{18} \text{cm}^{-3}$ になるように設定する。

[0052]

尚、絶縁膜 3a、ゲート電極 7、サイドウォールスペーサ 8 によって囲まれた凹部が、n' 領域 9 と後記するソース・ドレイン電極とを接続するコンタクトホール 10 となる。

従って、工程 1 では、コンタクトホール 10 の位置および寸法を勘案した上で、絶縁膜 3a をパターンニングする必要がある。

すなわち、絶縁膜 3a をパターンニングする際には、絶縁膜 3a の側壁部がそのままコンタクトホール 10 として使用できるようにパターンニングの寸法形状を設定する。

[0053]

工程 4(図 3 参照);CVD 法を用い、デバイスの全面にノンドープのポリシリコン膜 11 を形成し、コンタクトホール 10 の内部にポリシリコン膜 11 を充填して埋め込む。

次に、ポリシリコン膜 11 にヒ素をイオン注入(注入電圧:50keV、注入濃度: $1 \times 10^{16} \text{cm}^{-2}$)する。

続いて、窒素雰囲気中から熱処理(処理温度:900 deg C、処理時間:30 分)を行うことで、n' 領域 9 中のリンイオンを活性化させると共に、ポリシリコン膜 11 中のヒ素イオンを活性化させる。

[0054]

このとき、ポリシリコン膜 11 から n' 領域 9 へのヒ素イオンの拡散は、以下の条件を共に満足させるように制御する必要がある。

(1) ポリシリコン膜 11 と n' 領域 9 とのコンタクト

[0051]

step 3 (Figure 2 reference); by fact that patterning it does each film 4-6, gate electrode 7 which consists of film 5 is formed.

And, insulator is accumulated in entire surface of device, by fact that etchback it does this said insulator, sidewall spacer 8 which consists of the insulator in side wall of insulating film 3a and gate electrode 7 is formed making use of entire surface etchback method.

Consequently, with (Fill voltage:50 keV, fill concentration: $1 \times 10^{15} \text{cm}^{-2}$) thing which phosphorus ion implantation is done, the n' region 9 of low concentration is formed in substrate 1 with insulating film 3a,6 and sidewall spacer 8 as mask for ion implantation.

Here, in order for impurity concentration of n' region 9 to become $1 \times 10^{17} \sim 10^{18} \text{cm}^{-3}$, it sets condition of ion implantation.

[0052]

Furthermore recess which is surrounded with insulating film 3a, gate electrode 7, sidewall spacer 8, n' region 9 and becomes contact hole 10 which connects source * drain electrode which postscript is done.

Therefore, with step 1, position of contact hole 10 and after considering dimension, it is necessary patterning to do insulating film 3a.

When patterning doing namely, insulating film 3a, in order side wall of insulating film 3a to be able to use that way as contact hole 10, dimension shape of patterning is set.

[0053]

step 4 (Figure 3 reference); making use of CVD method, it forms polysilicon membrane 11 of non doped in entire surface of device, being filled, it imbeds polysilicon membrane 11 to internal of contact hole 10.

Next, arsenic ion implantation is done in polysilicon membrane 11, (Fill voltage:50 keV, fill concentration: $1 \times 10^{16} \text{cm}^{-2}$).

Consequently, as by fact that thermal processing (treatment temperature:900 deg C, process time:30 min) is done in nitrogen atmosphere, phosphorus ion in n' region 9 is activated, arsenic ion in polysilicon membrane 11 is activated.

[0054]

This time, scattering of arsenic ion to n' region 9, in order to satisfy condition below together, has necessity to control from polysilicon membrane 11.

(1) polysilicon membrane contact resistance of 11 and n'

抵抗を十分に低減させる。

[0055]

(2) n^+ 領域 9 の接合容量を増大させない。

すなわち、ポリシリコン膜 11 から n^+ 領域 9 へのヒ素イオンの拡散が少なすぎる場合、 n^+ 領域 9 の接合容量が増大することはないが、ポリシリコン膜 11 と n^+ 領域 9 とのコンタクト抵抗は増大してしまう。

また、ポリシリコン膜 11 から n^+ 領域 9 へのヒ素イオンの拡散が多すぎる場合、ポリシリコン膜 11 と n^+ 領域 9 とのコンタクト抵抗は低減できるが、 n^+ 領域 9 の接合容量が増大してしまう。

[0056]

上記(1)、(2) の条件を共に満足させるには、ポリシリコン膜 11 の膜厚およびヒ素のイオン注入条件を適宜に設定すればよい。

本出願人は、単結晶シリコン基板上に形成されたポリシリコン膜にイオン注入を行う際に、ポリシリコン膜の膜厚およびイオン注入ドーズ量を制御すれば、基板へのイオンの拡散を容易に制御可能であることを発表している(Fujiwara et al: "Diffusion of Phosphorus in Poly/Single Crystalline" IEICE TRANS. ELECTRON., Vol. E75-C, No. 9 September 1992, pp995-999 参照)。

従って、ポリシリコン膜 11 の膜厚およびヒ素のイオン注入ドーズ量を制御することで、 n^+ 領域 9 へのヒ素イオンの拡散を容易に制御できる。

[0057]

工程 5 (図 4 参照): 全面エッチバック法を用いてポリシリコン膜 11 をエッチバックすることで、コンタクトホール 10 内のポリシリコン膜 11 だけを残す。

ここで、前記したように、各膜 4-6 を合わせた膜厚は絶縁膜 3a の膜厚と同じであるため、コンタクトホール 10 内のポリシリコン膜 11 だけを残すようにポリシリコン膜 11 をエッチバックすれば、デバイス表面を平坦化できる。

その結果、コンタクトホール 10 内に残ったポリシリコン膜 11 から高濃度の n^+ 領域 12 が形成される。

そして、 n^+ 領域 12 と n^+ 領域 9 とでソースドレイン領域 13 が形成される。

region 9 is decreased in the fully.

[0055]

Connecting capacity of (2) n^+ region 9 is not increased.

When scattering of arsenic ion to n^+ region 9 is too little from namely, polysilicon membrane 11, there are not times when connecting capacity of the n^+ region 9 increases. polysilicon membrane it increases contact resistance of 11 and n^+ region 9.

In addition, when scattering of arsenic ion to n^+ region 9 is many from polysilicon membrane 11, polysilicon membrane it can decrease contact resistance of 11 and n^+ region 9, but, connecting capacity of n^+ region 9 increases.

[0056]

Description above (1), condition of (2) is satisfied together, if film thickness of polysilicon membrane 11 and ion implantation condition of arsenic should have been set appropriately.

This applicant, if occasion where ion implantation is done in polysilicon membrane which was formed on single crystal silicon substrate, film thickness and ion implantation dose of the polysilicon membrane are controlled, scattering of ion to substrate it is a controllable easily, it announces, (Fujiwara et al: "diffusion of Phosphorus in Poly/single crystal line" IEICE TRANS. ELECTRON., Vol. E75-C, No. 9 September 1992, pp995-999 reference).

Therefore, by film thickness of polysilicon membrane 11 and fact that the ion implantation dose of arsenic is controlled, scattering of arsenic ion to n^+ region 9 can be controlled easily.

[0057]

By fact that etchback it does polysilicon membrane 11, just polysilicon membrane 11 inside contact hole 10 is left step 5 (Figure 4 reference); making use of the entire surface etchback method.

As before inscribed here, because if it is same as film thickness of insulating film 3a, in order to leave just polysilicon membrane 11 inside the contact hole 10, polysilicon membrane 11 etchback it does film thickness which adjusts each film 4-6, planarization is possible device surface.

As a result, n^+ region 12 of high concentration is formed from polysilicon membrane 11 which remains inside contact hole 10.

And, with n^+ region 12 and n^+ region 9 source drain region 13 is formed.

また、 n^- 領域 12 はソース・ドレイン電極としても機能する。

【0058】

工程 6 (図 5 参照): デバイスの全面に金属層を形成し、その金属層をパターニングして n^- 領域 (ソース・ドレイン電極) 12 上に配線層 14 を形成する。

ここで、 n^- 領域 12 の不純物濃度が十分に高ければ、 n^- 領域 12 と配線層 14 とがオーミックコンタクトをとることができる。

従って、工程 4 におけるポリシリコン膜 11 へのヒ素のイオン注入条件は、 n^- 領域 12 と配線層 14 とがオーミックコンタクトをとることができるように設定しておく必要がある。

次に、デバイスの全面にパッシベーション膜 15 を形成し、本実施例の製造工程が完了する。

【0059】

このように、本実施例においては、各素子分離領域 α の幅がそれぞれ異なる場合でも、各トレンチ 2 の幅および深さは、基板 1 上で全て同じにする。

また、トレンチ 2 の幅は、基板 1 上において最も幅の狭い素子分離領域 α の幅と同じにする。

そして、素子分離領域 α 上に絶縁膜 3a を形成する。

すなわち、本実施例における素子分離は、トレンチ 2 と絶縁膜 3a とを併用して行われる。

従って、本実施例によれば、従来のトレンチ法と同様に、LOCOS 法に比べて素子分離領域の面積を大幅に縮小できる。

また、素子分離領域 α の幅が広い場合でもトレンチ 2 の幅は一定であるため、従来問題であった幅が広く深いトレンチにおける問題 (トレンチ内部の埋め込み材と基板との熱膨張係数の差によって生じる応力ストレスなどにより、基板内に結晶欠陥が発生しやすくなる問題) を回避することができる。

【0060】

また、本実施例においては、絶縁膜 3a をパターニングする際に、絶縁膜 3a の側壁部をそのままコンタクトホール 10 として使用できるようにする。

すなわち、絶縁膜 3a は素子分離絶縁膜としてだ

In addition, n^- region 12 functions as source * drain electrode.

【0058】

step 6 (Figure 5 reference); metal layer is formed in entire surface of device, metal layer patterning is done and n^- region (source * drain electrode) metallization layer 14 is formed on 12.

If here, impurity concentration of n^- region 12 is high in fully, n^- region 12 and metallization layer 14 take ohmic contact, it is possible.

Therefore, in order as for ion implantation condition of arsenic to of polysilicon membrane 11 in step 4, for n^- region 12 and metallization layer 14 to take the ohmic contact and to be possible it is necessary to set.

Next, passivation film 15 is formed in entire surface of device, production step of the this working example completes.

【0059】

This way, even with when width of each disassociated element region:al differs respectively regarding this working example, on substrate 1 it makes width and depth of each trench 2, all same.

In addition, it makes width of trench 2, same as width of disassociated element region:al where width is narrowest in on substrate 1.

And, insulating film 3a is formed on disassociated element regional.

element separation in namely, this working example is done, jointly using trench 2 and insulating film 3a.

Therefore, according to this working example, in same way as conventional trench method, surface area of disassociated element region greatly can be reduced in comparison with the LOCOS method.

In addition, even with when width of disassociated element regional is wide as for width of trench 2 because it is fixed, problem (Due to pad material of trench internal and stress stress etc which it occurs in difference of thermal expansion factor of substrate, inside substrate crystal defect to occur problem which becomes easy) in trench where width which is a problem until recently is deep widely can be avoided.

【0060】

In addition, when patterning doing insulating film 3a regarding this working example, the side wall of insulating film 3a you can use it requires that way as contact hole 10.

namely, insulating film 3a functions not only as element

けでなく、 n^+ 領域 9 と配線層 14 との層間絶縁膜としても機能する。

そして、コンタクトホール 10 を介して基板 1 上にリンをイオン注入することで、 n^+ 領域 9 を形成する。

従って、本実施例によれば、従来必要であったコンタクトホールの製造工程(ソースドレイン領域上に層間絶縁膜を形成する工程、その層間絶縁膜にコンタクトホールを形成する工程)を省くことができる。

また、コンタクトホール 10 を介して自己整合的に n^+ 領域 9 を形成できるため、コンタクトホール 10 と n^+ 領域 9 とが位置ずれを起こす恐れはない。

従って、本実施例によれば、従来問題であったコンタクトホールの位置ずれに起因するコンタクト抵抗の増大を回避することができる。

【0061】

さらに、本実施例においては、コンタクトホール 10 内に形成したポリシリコン膜 11 で n^+ 領域 12 を形成し、 n^+ 領域 12 と n^+ 領域 9 とでソース・ドレイン領域 13 を形成する。

ここで、 n^+ 領域 9 の不純物濃度は $1 \times 10^{17} \sim 10^{18} \text{ cm}^{-3}$ に設定する。

従って、本実施例によれば、ソース・ドレイン領域 13 の接合を浅くすることが可能になり、短チャネル効果を抑制することができる。

また、不純物濃度の高い n^+ 領域 12 は基板 1 内に形成されず、基板 1 内には不純物濃度の低い n^+ 領域 9 だけが形成されるため、ソース・ドレイン領域 13 の接合容量を低減することができる。

従って、高集積化を実現するために、基板 1 の不純物濃度を高く設定した場合でも、ソース・ドレイン領域 13 の接合容量の増大を回避することができる。

また、 n^+ 領域 12 の不純物濃度を高くすることにより、 n^+ 領域 12 と n^+ 領域 9 とのコンタクト抵抗を低減した上で、ソース・ドレイン領域 13 全体の低抵抗化を図ることができる。

従って、本実施例によれば、従来の諸問題(ソース・ドレイン領域とソース・ドレイン電極とのコンタクト抵抗の増大、ソース・ドレイン領域の電気抵抗の増大、ソース・ドレイン領域の接合容量の増大)を回避することができ、応答特性に優れた MOS トランジスタを得ることができる。

separation insulating film, as interlayer insulating film of n^+ region 9 and metallization layer 14.

And, through contact hole 10, by fact that ion implantation it does phosphorus, n^+ region 9 is formed on substrate 1.

Therefore, according to this working example, production step (step which forms contact hole in interlayer insulating film of step. which forms interlayer insulating film on source drain region) of contact hole which is unnecessary until recently is excluded, it is possible.

In addition, through contact hole 10, because n^+ region 9 can be formed in the self-aligning, there is not a possibility contact hole 10 and n^+ region 9 causing the positional deviation.

Therefore, according to this working example, increase of contact resistance which originates in positional deviation of contact hole which is a problem until recently can be evaded.

{0061}

Furthermore, n^+ region 12 is formed with polysilicon membrane 11 which was formed inside contact hole 10 regarding this working example, with n^+ region 12 and the n^+ region 9 source * drain region 13 is formed.

Here, it sets impurity concentration of n^+ region 9 to $1 \times 10^{17} \sim 10^{18} \text{ cm}^{-3}$.

Therefore, according to this working example, connecting source * drain region 13 is made shallow, it becomes possible, can control short channel effect.

In addition, n^+ region 12 where impurity concentration is high cannot be formed inside substrate 1, because just n^+ region 9 where impurity concentration is low is formed inside substrate 1, can decrease connecting capacity of source * drain region 13.

Therefore, in order to actualize trend to high integration, increase of connecting capacity of source * drain region 13 can be evaded even when impurity concentration of substrate 1 is set highly.

In addition, after decreasing contact resistance of n^+ region 12 and n^+ region 9 by making impurity concentration of n^+ region 12 high, resistance-lowering of source * drain region 13 entirely is assured. it is possible.

Therefore, according to this working example, MOS transistor which evades conventional problem (increase of contact resistance of source * drain region and source * drain electrode, increase of electrical resistance of source * drain region and increase of connecting capacity of source * drain region) to be possible, is superior in response characteristic

【0062】

加えて、 n^+ 領域 12 の不純物濃度を高くすることにより、配線層 14 とソース・ドレイン領域 13 とのオーミックコンタクトをとることができる。

また、本実施例においては、各膜 4-6 を合わせた膜厚を絶縁膜 3a の膜厚と同じにし、コンタクトホール 10 内のポリシリコン膜 11 だけを残すようにポリシリコン膜 11 をエッチバックして n^+ 領域 12 を形成する。

その結果、 n^+ 領域 12 によって MOS トランジスタ上部のデバイス表面を平坦化できる。

従って、本実施例によれば、特別な工程を設けることなくデバイス表面を平坦化することが可能になり、製造工程を簡略化できる。

【0063】

ところで、絶縁物 3 として用いられる酸化シリコン、窒化シリコン、シリケートガラスは、CVD 法によって形成すればよい。

また、絶縁物 3 として用いられる SOG (Spin On Glass) は、平坦化技術における層間絶縁膜として広く使用されている。

SOG とは、シリコン化合物を有機溶剤に溶解した溶液、および、その溶液から形成される二酸化シリコンを主成分とする膜の総称である。

SOG 膜を形成するには、まず、シリコン化合物を有機溶剤に溶解した溶液を基板 1 の上に滴下して基板 1 を回転させる。

すると、当該溶液の被膜は、トレンチ 2 の内部を完全に充填すると共に、基板 1 の表面に平坦な膜を形成する。

次に、熱処理が施されると、有機溶剤が蒸発すると共に重合反応が進行して、表面が平坦な SOG 膜による絶縁膜 3a が形成される。

SOG の平坦化特性(埋め込み性)は優れているため、絶縁物 3 として SOG を用いればトレンチ 2 が深い場合でもその内部を確実に埋め込むことができる。

【0064】

SOG には、一般式(1)で表されるように、シリコン化合物中に有機成分を含まない無機 SOG と、一般式(2)で表されるように、シリコン化合物中に有機成分を含む有機 SOG とがある。

can beacquired.

【0062】

In addition, ohmic contact of metallization layer 14 and source + drain region 13 is taken by making impurity concentration of n^+ region 12 high, it is possible .

In addition, it makes film thickness which adjusts each film 4-6 regarding the this working example, same as film thickness of insulating film 3a, in order to leave just the polysilicon membrane 11 inside contact hole 10, etchback doing polysilicon membrane 11, it forms n^+ region 12.

As a result, planarization is possible device surface of MOS transistor upper part with the n^+ region 12 .

Therefore, according to this working example, without providing special step device surface planarization is done, it becomes possible, can simplify production step.

【0063】

silicon oxide, silicon nitride, silicate glass which if by way, is used as insulator 3 with CVD method it should have formed.

In addition, as for SOG (Spin On Glass) which is used as insulator 3, it is used widely as interlayer insulating film in planarization technology.

SOG is generic of film which designates silicon dioxide which is formed from solution, and solution which melt silicon compound in the organic solvent as main component.

SOG film is formed, first, dripping solution which melts silicon compound in organic solvent on substrate 1, substrate 1 it turns.

When it does, coating of this said solution, as internal of trench 2 it is filled completely, forms planar film in surface of substrate 1.

When next, thermal processing is administered, as organic solvent evaporates, the polymerization reaction advancing, surface being planar SOG film, insulating film 3a is formed.

If planarization property (embedding property) of SOG because it is superior, uses SOG as insulator 3, internal is imbedded securely even when trench 2 is deep it is possible .

【0064】

As displayed with General Formula (1), as displayed with inorganic SOG and the General Formula (2) which do not include organic component in silicon compound, there is a organic SOG which includes organic component in silicon compound in SOG .

[0065]

[0065]

		{SiO ₂ } _n(1)		
		{SiO ₂ } _n(1)		
[RX S		OY]	n(2)
RX S		OY]	n(2)

基)

無機 SOG は、水分および水酸基を多量に含んでいる上に、CVD 法によって形成された酸化シリコンに比べて脆弱であり、膜厚を 0.5 μm 以上にするると熱処理時にクラックが発生し易いという欠点がある。

[0066]

一方、有機 SOG は、分子構造上、アルキル基またはアシル基で結合が閉じている部分があるため、熱処理時におけるクラックの発生が抑制され、膜厚を 0.5~1 μm 程度にすることができる。

従って、有機 SOG を用いれば、膜厚の大きな絶縁膜 3a を得ることができる。

しかし、有機 SOG には有機成分が含まれているため、素子形成領域 β を露出させる際のエッチングにおいて、四フッ化炭素と水素との混合ガス系(CF₄+H₂)を用いた場合、エッチングレートが遅くなる。

そのため、有機 SOG のエッチングでは、四フッ化炭素と酸素の混合ガス系を用いる必要がある。

一般に、有機 SOG のエッチングでは、エッチング用マスクとしてレジストパターンが用いられる。

しかし、四フッ化炭素と酸素の混合ガス系をエッチングガスとして用いると、レジストパターンまでもエッチングされてしまう。

その結果、レジストパターンでマスクされている有機 SOG までもエッチングされてしまい、素子形成領域 β の寸法が狂ってしまう。

[0067]

また、エッチングマスクとして用いるフォトリソストを除去する際のアッシング処理時に、有機 SOG に含まれる有機成分も分解するため有機

Basis)

inorganic SOG in addition to including water and hydroxy group in the large amount, when with fragility, film thickness is designated as 0.5 μm or greater, in comparison with silicon oxide which was formed with CVD method is a deficiency that crack is easy to occur at time of thermal processing.

[0066]

On one hand, as for organic SOG, because on molecular structure, there is a portion which connection has closed with alkyl group or aryl group, occurrence of crack at time of thermal processing is controlled, can designate film thickness as 0.5~1 μm extent.

Therefore, if organic SOG is used, insulating film 3a where film thickness is large can be acquired.

But, because organic component is included in organic SOG, case where the element-forming region β is exposed when mixed gas system (CF₄+H₂) of carbon tetrafluoride and hydrogen is used in etching, etching rate becomes slow.

Because of that, with etching of organic SOG, it is necessary to use mixed gas system of carbon tetrafluoride and oxygen.

Generally, with etching of organic SOG, it can use resist pattern as the mask for etching.

But, when it uses mixed gas system of carbon tetrafluoride and oxygen, as etching gas etching it is done even to resist pattern.

As a result, with resist pattern etching it is done even to organic SOG which mask is done, dimension of element-forming region β deviates.

[0067]

In addition, when removing photoresist which it uses as etching mask, in order at time of ashing, also organic component which is included in organic SOG to disassemble,

SOG が収縮する。

トレンチ 2 に埋め込んだ有機 SOG が収縮すると基板 1 に応力ストレスがかかり、基板 1 内に結晶欠陥を生じやすくなる。

[0068]

さらに、無機 SOG に比べれば少ないものの、有機 SOG にも水分および水酸基が含まれている。

さらに、SOG の絶縁性および機械的強度は、CVD 法によって形成された酸化シリコンに比べて低い。

[0069]

SOG におけるこれらの問題を回避するには、以下の方法がある。

[1] 800 deg C 以上の高温の熱処理を施すことで、SOG をハンドープの安定なシリケートガラスとする。

また、応力ストレスをさらに緩和させるためには、酸化シリコンが流動性をもち始める 900-1000 deg C まで一旦加熱すればよい。

尚、熱処理には、一般的な電気炉だけでなく RTA(Rapid Thermal Annealing)装置を用いてもよい。

[0070]

[2] 特開平 1-307247 号公報に開示されるように、有機 SOG 膜に酸素プラズマ処理を施すことで、有機 SOG 膜中の C-Si 結合を Si-O-Si 結合に変化させ、有機 SOG 膜に含まれる有機成分を分解する。

[0071]

[3] 有機 SOG 膜にイオン注入法を用いてフッ素をドーブすることで、有機成分を分解すると共に、膜中に含まれる水分および水酸基を減少させる[L-J. Chen, S-T. Hsia, J-L. Leu, Proc. of IEEE VMIC, p.81 (1994) 参照]。

[0072]

[4] 有機 SOG 膜にイオン注入法を用いてシリコンまたはリンをドーブすることで、有機成分を分解する[N. Moriya, Y. Shacham-Diamond, R. Kalish, J. Electrochem. Soc., Vol.140, No.5, p.1442 (1993)参照]。

[0073]

[5] 有機 SOG 膜にアルゴン、窒素、酸化窒素などのプラズマ処理を施すことで、有機成分を分解

organic SOG contracts.

When organic SOG which was imbedded to trench 2 contracts stress stress depends on substrate 1, becomes easy to cause crystal defect inside the substrate 1.

[0068]

Furthermore, if you compare to inorganic SOG, although it is little, the water and hydroxy group are included in also organic SOG.

Furthermore, insulating property and mechanical strength of SOG are low in comparison with silicon oxide which was formed with CVD method.

[0069]

These problem in SOG are evaded, there is a method below.

[1] By fact that thermal processing of high temperature of 800 deg C or greater is administered, SOG stability of non doped is designated as the silicate glass.

In addition, in order furthermore to ease stress stress, if to 900 - 1000 deg C where silicon oxide starts having fluidity once it should have heated.

Furthermore to thermal processing, making use of RTA (Rapid Thermal Annealing) device not only a general electric furnace it is good.

[0070]

As disclosed in [2] Japan Unexamined Patent Publication Hei 1- 307247 disclosure, by fact that oxygen plasma treatment is administered to organic SOG film, it disassembles organic component which changing in Si-O-Si bond, is included C-Si connection in organic SOG film in organic SOG film.

[0071]

As by fact that doped it does fluorine, organic component is disassembled in [3] organic SOG film making use of ion implantation, water and hydroxy group which are included in film are decreased [L-J. Chen, S-T. Hsia, J-L. Leu, Proceedings of IEEE VMIC, p.81 (1994). Reference].

[0072]

By fact that doped it does silicon or phosphorus, organic component is disassembled in [4] organic SOG film making use of ion implantation [N. Moriya, Y. Shacham-Diamond, R. Kalish, Journal of the Electrochemical Society (0013 - 4651, JESOLAN), Vol.140, No.5, p.1442 (1993). Reference].

[0073]

By fact that argon, nitrogen, nitrogen oxide or other plasma treatment is administered to [5] organic SOG film, organic

する[C. K. Wang, L. M. Liu, H. C. Cheng, H. C. Huang, M. S. Lin, Proc. of IEEE VMIC, p.101 (1994), M. Matsuura, Y. Ii, K. Shibata, Y. Hayashide, H. Kotani, Proc. of IEEE VMIC, p.113 (1993).参照]。

[0074]

[6] 有機 SOG 膜にイオン注入法を用いてフッ化シリコン、フッ化ボロン、アルゴン、ボロン、窒素をドーピングすることで、有機成分を分解する〔水原 他：信学技報 SDM94-145(1994-11)参照〕。

[0075]

尚、上記実施例は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1)トレンチ 2 の内壁を酸化させてシリコン酸化膜を形成した後に、トレンチ 2 の内部に埋め込み材を充填して埋め込む。

このとき、埋め込み材として絶縁物を用いた場合は、上記実施例と同様に、トレンチ 2 の内部の埋め込みと絶縁膜 3a の形成とを同時に行う。

[0076]

また、埋め込み材として導電材料(例えば、ポリシリコン)を用いた場合は、トレンチ 2 の内部に埋め込み材を充填した後、基板 1 上に絶縁膜 3a を形成形成する。

この場合、CVD 法で形成されたポリシリコンを用いれば、その優れた埋め込み性により、トレンチ 2 が深い場合でもその内部を確実に埋め込むことができる。

[0077]

(2)トレンチ 2 の内部に埋め込み絶縁物の材質と、基板 1 上に形成する絶縁膜の材質とを異なったものにする。

(3)トレンチ 2 を pn 接合領域に置き換え、その pn 接合領域上に絶縁膜 3a を形成する。

この場合の素子分離は pn 接合領域と絶縁膜 3a とを併用して行われる。

従って、絶縁膜 3a に関する作用および効果については、上記実施例と同様になる。

[0078]

(4)トレンチ 2 を省き、絶縁膜 3a だけを設ける。

component is disassembled [C. K. Wang, L. M. Li u, H. C. Cheng, H. C. Huang, M. S. Li n, Proceedings of IEEE VMIC, p.101 (1994), M. Matsuura, Y. Ii, K. Shibata, Y. Hayashide, H. Kotani, Proceedings of IEEE VMIC, p.113 (1993). Reference].

[0074]

By fact that doped it does fluoride silicon, fluoride boron, argon, boron, nitrogen, organic component is disassembled in [6] organic SOG film making use of ion implantation [Mizuhara other things; Shingaku Giho SD M9 4- 145 (1,994 - 11) reference].

[0075]

Furthermore like below it is possible to modify above-mentioned Working Example, even with in that case similar action and effect can acquire.

oxidation doing inside wall of (1) trench 2, after forming silicon oxide film, being filled, it imbeds pad material to internal of trench 2.

When insulator is used this time, as pad material, in same ways above-mentioned Working Example, pad of internal of trench 2 and formation of insulating film 3a are done simultaneously.

[0076]

In addition, when electrically conductive material (for example polysilicon) is used as pad material, in the internal of trench 2 pad material after being filled, it forms forms insulating film 3a on substrate 1.

In this case, if polysilicon which was formed with CVD method is used, internal is imbedded securely even with when trench 2 is deep that due to embedding property which is superior, it is possible.

[0077]

material of insulator which is imbedded to internal of (2) trench 2 and material of insulating film which is formed on substrate 1 are designated as that differs.

You put (3) trench 2 in pn junction region and replace, form insulating film 3a on the pn junction region.

element separation in this case is done jointly using pn junction region and insulating film 3a.

Therefore, concerning action and effect regarding insulating film 3a, it becomes similar to above-mentioned Working Example.

[0078]

(4) trench 2 is excluded, just insulating film 3a is provided.

この場合、トレンチ 2 に関する作用および効果を得ることはできなくなるが、絶縁膜 3a に関する作用および効果については、上記実施例と同様になる。

[0079]

(5)n⁺領域 12 の表面のラフネスを大きくする。

この場合、配線層 14 とソース・ドレイン領域 13 との確実なオーミックコンタクトをとることができる。

[0080]

(6)配線層 14 を金属以外の適宜な導電材料(例えば、ドーパドポリシリコン)で形成する。

(7)工程 4 において、ポリシリコン膜 11 をシリサイド化し、そのシリサイド化されたポリシリコン膜 11 をパターンニングすることで、配線層 14 を形成する。

この場合、工程 5 におけるポリシリコン膜 11 のエッチバックと、工程 6 における配線層 14 の形成とを省くことができる。

[0081]

(8)n⁺領域 9 の表面にバリア層を形成することで、上記(1),(2)の条件を共に満足させる。

すなわち、電気抵抗が十分に低いバリア層を n⁺領域 9 とポリシリコン膜 11 との界面に形成することで、上記(1)の条件を満足させる。

また、不純物の透過率が低いバリア層を n⁺領域 9 とポリシリコン膜 11 との界面に形成することで、ポリシリコン膜 11 から n⁺領域 9 へのヒ素イオンの拡散を抑制し、上記(2)の条件を満足させる。

そのようなバリア層としては、窒化チタン、窒酸化チタン、タングステンなどがあげられる。

[0082]

(9)ノンドーパのポリシリコン膜 11 を形成後にヒ素をイオン注入して n⁺領域 12 を形成するのではなく、CVD 法でポリシリコン膜 11 を形成する際に n 型不純物を含んだガスを添加することでドーパドポリシリコン膜からなる n⁺領域 12 を形成する。

この場合は、ドーパドポリシリコン膜から n⁺領域 9 への不純物の拡散を抑制して上記(2)の条件を満足させることが難しくなるため、上記(8)のようにバリア層を設ければよい。

In this case, it becomes impossible to obtain action and effect regarding the trench 2, but it becomes similar to above-mentioned Working Example concerning action and effect regarding insulating film 3a.

[0079]

roughness of surface of (5) n⁺ region 12 is enlarged.

In this case, assured ohmic contact of metallization layer 14 and source + drain region 13 is taken, it is possible .

[0080]

(6) metallization layer 14 is formed with appropriate electrically conductive material (for example doped + polysilicon) other than the metal.

In (7) step 4, polysilicon membrane 11 to polycide is converted, to the polycide by fact that patterning it does polysilicon membrane 11 which is converted, metallization layer 14 is formed.

In this case, etchback of polysilicon membrane 11 in step 5 and formation of metallization layer 14 in step 6 are excluded, it is possible.

[0081]

By fact that barrier layer is formed in surface of (8) n⁺ region 9, description above (1), condition of (2) is satisfied together.

barrier layer where namely, electrical resistance is low in fully by fact that it forms in boundary of n⁺ region 9 and polysilicon membrane 11, condition of the above-mentioned (1) is satisfied.

In addition, barrier layer where transmittance of impurity is low by fact that it forms in boundary of n⁺ region 9 and polysilicon membrane 11, the scattering of arsenic ion to n⁺ region 9 is controlled from polysilicon membrane 11, condition of above-mentioned (2) is satisfied.

As that kind of barrier layer, you can list titanium nitride, nitrogen titanium dioxide, tungsten etc.

[0082]

polysilicon membrane 11 of (9) non doped ion implantation doing arsenic after forming, it is not to form n⁺ region 12, when forming polysilicon membrane 11 with CVD method, n⁺ region 12 which consists of doped + polysilicon membrane by fact that gas which includes n-type impurity is added is formed.

In this case, controlling scattering of impurity to n⁺ region 9 from the doped + polysilicon membrane, because condition of above-mentioned (2) it satisfies it becomes difficult, like above-mentioned (8) it should have provided barrier layer.

[0083]

(10)ポリシリコン膜 11 を他の導電性材料(例えば、選択 CVD 法で形成されたタングステン)に置き代える。

この場合、n' 領域 12 を形成するためのイオン注入を省くことができる。

[0084]

(11)工程 3 において、リンの代わりにヒ素またはアンチモンを基板 1 にイオン注入する。

(12)工程 4 において、ヒ素の代わりにリンまたはアンチモンをポリシリコン膜 11 にイオン注入する。

[0085]

(13)n チャネル MOS トランジスタではなく p チャネル MOS トランジスタに適用する。

すなわち、p 型単結晶シリコン基板 1 を n 型単結晶シリコン基板または n ウェル層に置き換え、リンイオンおよびヒ素イオンをボロンイオンなどの p 型不純物イオンに置き代える。

これにより、n' 領域 9 は p' 領域に、n' 領域 12 は p' 領域に置き代わり、p' 領域と p' 領域とからなるソース・ドレイン領域が形成される。

[0086]

(14)LDD 構造の MOS トランジスタに適用する。

(15)ソース・ドレイン領域が基板 1 の表面に形成されている通常の構造の MOS トランジスタにおける素子分離に適用する。

[0087]

(16)MOS トランジスタだけでなく、他の素子(バイポーラトランジスタ、コンデンサ、抵抗など)の素子分離に適用する。

以上、各実施例について説明したが、各実施例から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

[0088]

(イ)請求項 8-11 のいずれか 1 項に記載の半導体装置の製造方法において、トレンチの内部に SOG を埋め込み、800 deg C 以上の高温の熱処理、酸素、アルゴン、窒素、酸化窒素などのプラズマ処理、フッ素、シリコン、リン、フッ化シリコン、フッ化ボロン、アルゴン、ボロン、窒素をイオン注入する処理からなるグループから選択された少なくとも一つの処理を当該 SOG に施す工程を備えた

[0083]

You put (10) polysilicon membrane 11 in other electrically conductive material (tungsten which was formed with for example selective CVD method) and replace.

In this case, ion implantation in order to form n' region 12 is excluded, it is possible .

[0084]

In (11) step 3, in place of phosphorus arsenic or antimony the ion implantation is done in substrate 1 .

In (12) step 4, in place of arsenic phosphorus or antimony the ion implantation is done in polysilicon membrane 11 .

[0085]

Is not (13) nchannel MOS transistor and it applies to pchannel MOS transistor.

You put namely, p-type single crystal silicon substrate 1 in n-type single crystal silicon substrate and nwell layer and replace, put the phosphorus ion and arsenic ion in boron ion or other p-type impurity ion and replace.

Because of this, n' region 9 in p' region, you put n' region 12 in the p' region and substitute, source * drain region which consists of p' region and the p' region is formed.

[0086]

It applies to MOS transistor of (14) LDD structure.

It applies to element separation in MOS transistor of conventional structure where (15) source * drain region is formed to surface of substrate 1 .

[0087]

Not only a (16) MOS transistor , it applies to element separation of other element (bipolar transistor, capacitor, resistance etc).

You explained above, concerning each Working Example, but with those effects it states below concerning technical concept other than Claim which can be grasped from each Working Example.

[0088]

In manufacturing method of semiconductor device which is stated in any one claim of (J2) Claim 8-11, in internal of trench SOG manufacturing method, of semiconductor device which has step which administers treatment of at least one which is selected from group which consists of treatment which the thermal processing, oxygen, argon, nitrogen, nitrogen oxide or other plasma treatment, fluorine, silicon, phosphorus, fluoride silicon, fluoride boron, argon, boron,

半導体装置の製造方法。

[0089]

このようにすれば、SOG の欠点を克服することができる。

(ロ)請求項 14 に記載の半導体装置の製造方法において、選択 CVD 法を用いてコンタクトホール内部にタングステンを充填して埋め込む半導体装置の製造方法。

[0090]

このようにすれば、電気抵抗の低い導電性膜を簡単に得ることができる。

(ハ)請求項 14-17 のいずれか 1 項に記載の半導体装置の製造方法において、高濃度の不純物領域上に配線層を形成する工程を備えた半導体装置の製造方法。

[0091]

このようにすれば、配線層の材質を適宜に選択することができる。

(ニ)上記(ハ)に記載の半導体装置の製造方法において、高濃度の不純物領域の表面のラフネスを制御する工程を備えた半導体装置の製造方法。

[0092]

このようにすれば、ラフネスの大きさを制御することでソース領域またはドレイン領域と配線層との確実なオーミックコンタクトをとることができる。

(ホ)請求項 15~上記(ニ)のいずれか 1 項に記載の半導体装置の製造方法において、低濃度の不純物領域上に、電気抵抗が低く且つ不純物の透過率が低いバリア層を形成する工程を備えた半導体装置の製造方法。

[0093]

このようにすれば、高濃度の不純物領域から低濃度の不純物領域への不純物拡散がバリア層によって抑制されるため、ソース・ドレイン領域の接合容量の増大を回避することができる。

また、バリア層の電気抵抗が低いためソース領域またはドレイン領域と配線層との確実なオーミックコンタクトをとることができる。

nitrogen of high temperature of pad and 800 deg C or greater ion implantation is done to the this said SOG

[0089]

If it makes this way, deficiency of SOG can be overcome.

manufacturing method. of semiconductor device which being filled, imbeds tungsten to the internal of contact hole in manufacturing method of semiconductor device which is stated in (jp2) Claim 14 , making use of selective CVD method

[0090]

If it makes this way, electrically conductive film where electrical resistance is low can be acquired simply.

manufacturing method. of semiconductor device which has step which forms metallization layer on impurity region of high concentration chair of (jp3) Claim 14~17 れ in manufacturing method of semiconductor device which is stated in one claim

[0091]

If it makes this way, material of metallization layer can be selected appropriately.

manufacturing method. of semiconductor device which has step which controls roughness of surface of impurity region of high concentration in manufacturing method of semiconductor device which is stated in (jp4) above-mentioned (jp3)

[0092]

If it makes this way, of source region or assured ohmic contact of drain region and the metallization layer is taken by fact that size of roughness is controlled it is possible .

On impurity region of low concentration, electrical resistance to be low in manufacturing method of the semiconductor device which is stated in any one claim of (jp5) Claim 15~ above-mentioned (jp4),and manufacturing method. of semiconductor device which has step which forms barrier layer where transmittance of impurity is low

[0093]

If it makes this way, impurity scattering to impurity region of low concentration being the barrier layer from impurity region of high concentration, because it is controled, increase of connecting capacity of source * drain region can be evaded.

In addition, because electrical resistance of barrier layer is low, of source region or assured ohmic contact of drain region and metallization layer is taken, it is possible .

[0094]

ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

(a) 基板とは、単結晶シリコン基板だけでなく、ウエル、ポリシリコン膜、アモルファスシリコン膜などをも含むものとする。

[0095]

(b) 配線層とは、金属配線だけでなく、ポリシリコン配線をも含むものとする。

[0096]

[発明の効果]

1) 素子分離領域の面積を低減することが可能な半導体装置およびその製造方法を提供することができる。

[0097]

2) デバイス表面の平坦性に優れた半導体装置およびその製造方法を提供することができる。

3) 応答特性に優れたMOSトランジスタを提供することができる。

[図面の簡単な説明]

[図1]

一実施例の製造工程を説明するための概略断面図。

[図2]

一実施例の製造工程を説明するための概略断面図。

[図3]

一実施例の製造工程を説明するための概略断面図。

[図4]

一実施例の製造工程を説明するための概略断面図。

[図5]

一実施例の製造工程を説明するための概略断面図。

[図6]

一実施例の製造工程を説明するための概略断面図。

[符号の説明]

1

[0094]

By way, member which relates to Constitution of Invention in this specification, likebelow are defined.

(a) substrate, not only a single crystal silicon substrate, include also well, polysilicon membrane and amorphous silicon film etc.

[0095]

(b) metallization layer, not only a metallization, include also polysilicon metallization.

[0096]

[Effects of the Invention]

1) surface area of disassociated element region is decreased can offer possible semiconductor device and its manufacturing method.

[0097]

2) semiconductor device and its manufacturing method which are superior in planarity of the device surface can be offered.

3) MOS transistor which is superior in response characteristic can be offered.

[Brief Explanation of the Drawing(s)]

[Figure 1]

conceptual cross section diagram, in order to explain production step of one Working Example

[Figure 2]

conceptual cross section diagram, in order to explain production step of one Working Example

[Figure 3]

conceptual cross section diagram, in order to explain production step of one Working Example

[Figure 4]

conceptual cross section diagram, in order to explain production step of one Working Example

[Figure 5]

conceptual cross section diagram, in order to explain production step of one Working Example

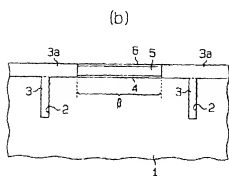
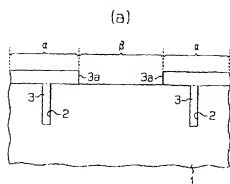
[Figure 6]

conceptual cross section diagram, in order to explain production step of one Working Example

[Explanation of Symbols in Drawings]

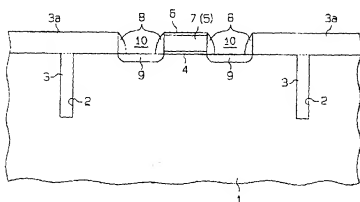
1

単結晶シリコン基板	single crystal silicon substrate
10	10
コンタクトホール	contact hole
11	11
ポリシリコン膜	polysilicon membrane
12	12
高濃度の不純物領域としての n ⁺ 領域	n ⁺ region as impurity region of high concentration
13	13
ソース・ドレイン領域	source * drain region
14	14
配線層	metallization layer
2	2
トレンチ	trench
3	3
絶縁物	insulator
3a	3 a
絶縁膜	insulating film
4	4
ゲート絶縁膜	gate insulating film
7	7
ゲート電極	gate electrode
8	8
サイドウォールスペーサ	sidewall spacer
9	9
低濃度の不純物領域としての n- 領域	n- region as impurity region of low concentration
α	;al
素子分離領域	disassociated element region
β	;be
素子形成領域	element-forming region
Drawings	
【図1】	{Figure 1}



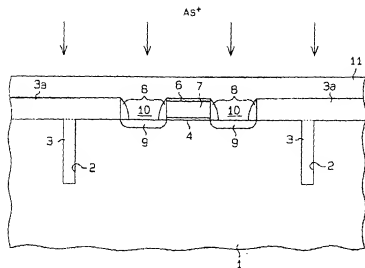
【図2】

[Figure 2]



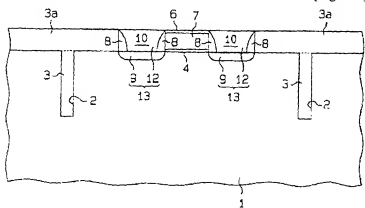
【図3】

[Figure 3]



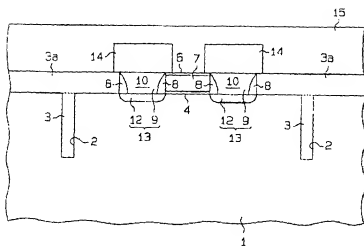
【図4】

[Figure 4]



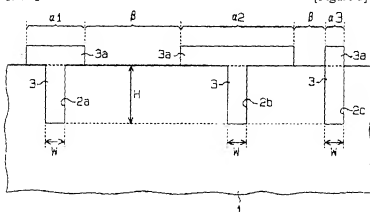
【図5】

[Figure 5]



【図6】

[Figure 6]



【手続補正書】【提出日】

平成 8 年 2 月 20 日

1996 February 20 days

【手続補正 1】【補正対象書類名】

図面

drawing

【補正対象項目名】

図 5

Figure 5

【補正方法】

変更

Modification

【補正内容】

【図 5】

[Figure 5]

